

(11)Publication number : 10-340067
 (43)Date of publication of application : 22.12.1998

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 09-149008
 (22)Date of filing : 06.06.1997

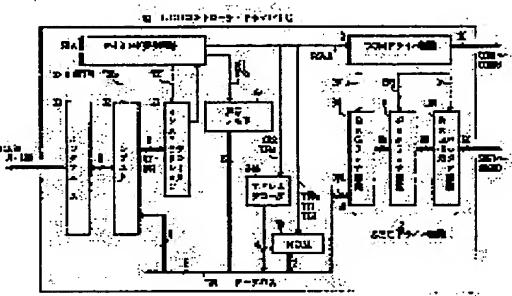
(71)Applicant : FUJI ELECTRIC CO LTD
 (72)Inventor : KOBAYASHI HIDETO

(54) LIQUID CRYSTAL DISPLAY CONTROL DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an area from being increased in a wiring region between each of functionally separated block circuits in a display control driving IC of a liquid crystal panel, to free the block circuit arrangement and to reduce the IC area.

SOLUTION: The exchanges of data among mutual functionally separated block circuits such as a register 32, a display memory 6A, an address decoder 34A, a ROM 7A and an SEG latch circuit 80 are synchronized with a system clock within a machine cycle through the whole common data bus 36 to conduct in a time division manner. Thus, even though each of the functionally separated block circuits is arranged anywhere within an IC to reduce the area of an LCD controller driver IC, the wiring of the data buses is no need to provide the portion which are normally required to exchange the data among the block circuits like a conventional case. In the case of the example given herein, only eight common buses are required and the increase in the area of an IC wiring region is prevented. Moreover, every five bits are transferred to an SEG driver circuit for the display data against every one bit in conventional transfer, time data transfer speed is reduced and the power consumption is also reduced.



* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more segment lines which ran to a lengthwise direction and were installed in a transverse direction side by side. RAM which memorizes an indicative data corresponding to a character array of a display screen of a liquid crystal panel which turns on a pixel of an intersection of a segment line and a common line which had a pixel in each intersection with two or more common lines which ran to a transverse direction and were installed in a lengthwise direction side by side, and were driven to both enabling by a character code of a

character arranged.

Are the liquid-crystal-display control driving circuit provided with the above, and it has a common data bus, . It may exist on channels of communication of an indicative data which results by a dot display entry of data from incorporation of said instruction data to a segment driver circuit. Inside of all the functional order block circuits including said display memory, ROM, and a segment driver circuit, At least three or more functional order block circuits synchronize with a system clock for every machine cycle, and it can deliver data required for the operation and receive mutually via said common data bus by time sharing.

[Claim 2]Two or more segment lines which ran to a lengthwise direction and were installed in a transverse direction side by side.

RAM which memorizes an indicative data corresponding to a character array of a display screen of a liquid crystal panel which turns on a pixel of an intersection of a segment line and a common line which had a pixel in each intersection with two or more common lines which ran to a transverse direction and were installed in a lengthwise direction side by side, and were driven to both enabling by a character code of a character arranged.

Are the liquid-crystal-display control driving circuit provided with the above, and it has a common control bus which tells at least a system clock, its dividing signal, and a signal that defines said horizontal scanning cycle, At least two or more functional order block circuits of all the functional order block circuits including the aforementioned functional order block circuit which may exist in this liquid-crystal-display control driving circuit, A signal of said common control bus is decoded via a control signal decode means built in, respectively, and a control signal which defines the operating time further according to timing and necessity for own starting is generated.

[Claim 3]A liquid-crystal-display control driving circuit consisting of ICs in the liquid-crystal-display control driving circuit according to claim 1 or 2.

[Translation done.]

* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]. This invention carries out the control drive of the dot-matrix type liquid crystal panel (it is also called an LCD panel). The liquid-crystal-display control driving circuit as a circuit called what is called an LCD controller driver IC etc., Especially, the increase in the area of the wiring area between the functional order block circuits inside IC is suppressed, arrangement of the functional order block circuit within IC is freed, area of IC is made small, and it is related with the liquid-crystal-display control driving circuit which enabled it to reduce the cost of IC.

[0002]Below, in each figure, the same numerals are the same or show a considerable portion.

[0003]

[Description of the Prior Art]Drawing 10 is a key map of the liquid-crystal-display control driving circuit containing the dot-matrix type liquid crystal panel (LCD panel) which displays 12-figure the character of two lines. In the figure, the LCD panel in which, as for 01, the pixel has been arranged length and in the shape of a horizontal dot matrix, the LCD controller driver IC to which 02 performs the display control drive of LCD panel 01, and S-BUS are system baths which connect MPU and this LCD controller driver IC 02 besides a figure.

[0004] The 60 segment lines (it is also called the data line) SEG1-SEG60 which LCD panel 01 ran to the lengthwise direction in this example, and were installed in the transverse direction side by side, Each intersection with the 16 common lines (it is also called a scanning line) COM1-COM16 which ran to the transverse direction and were installed in the lengthwise direction side by side is equipped with the pixel of 1 dot, respectively, The terminal of the same sign for driving these each segment line and common lines is provided in the LCD controller driver IC 02.

[0005] 03 is a control signal given to this IC02 from MPU via the control bus in system bath S-BUS, Enable signal [as a start operating signal with which MPU applies starting of the writing of data, read-out, etc. to this control signal 03 this IC02] E, There are read-out (R) [as opposed to this IC02 in MPU] of data, read/write signal R/W as a signal which writes in and carries out selected designation of the (W), etc. 04 is a data signal (this example 8 bits) this IC02 similarly delivers and receives with MPU via the data bus in system bath S-BUS.

[0006] This LCD controller driver IC 02, It has ROM which changes into a corresponding dot-matrix-like font pattern (it is also called a bit map) the display memory and each character code as RAM which memorizes the indicative data corresponding to the display screen of LCD panel 01 by a character code inside.

Every one of the 2(character row)x8(dot/character row)=16 common lines COM1-COM16 which put the pixel dot of one line each on a par with the transverse direction of dot-matrix-like LCD panel 01 in a row is chosen cyclically one by one, Outputting the scanning drive signal which enables lighting of the pixel on the selected common line. On the 12(bean)x5(dot/beam)=60 segment lines SEG1-SEG60 which put the pixel dot of one row each on a par with a lengthwise direction in a row at every the selection of this. By outputting the segment driving signal (that is, signal which carries out the lighting drive only of the displaying object pixel) corresponding to the display information on the selected common line, a screen display of LCD panel 01 corresponding to the contents of display memory is performed.

This screen-display operation is always performed regardless of access from MPU.

[0007] between display output operations of this always, at any time, the LCD controller driver IC 02 receives the control signal 03 and the data signal (this example — as 8-bit program instruction) 04 from MPU, and rewrites the contents of said display memory according to that received result. A screen display of LCD panel 01 is also updated by said regular display output operation at this time.

[0008] Drawing 11 shows the composition of the character font display matrix of drawing 10. In this example, since one character (8-bit indicative data) comprises 8 x five dots, 5 and eight common lines are needed for a segment line per character. This drawing 11 shows the display example of the indicative data of 8-bit character code "30 H". Drawing 12 shows the example of composition of the functional division of this kind of LCD controller driver IC which mainly drives LCD panel 01. In the figure, the portion except LCD panel 01 shows a part of LCD controller driver IC. The segment driver circuit which drives segment line SEG1 corresponding to the display beam of LCD panel 01 in respectively 2 (2-1,2-2 - 2-j - 2-n), SEG2 - SEGj-SEGn here (it is written also as a SEG driver circuit), 3 (3-1,3-2 - 3-m) is a common driver circuit (it is written also as a COM driver circuit) which drives common line COM1 corresponding to the screen line of LCD panel 01, COM2 - COMm, respectively.

[0009] The display memory as said RAM which has data which displays 6 on LCD panel 01 in the form of a character code, The aforementioned ROM 7 remembers the dot-matrix-like font pattern (bit map) to the character code read from the display memory 6 to be, Via the parallel/serial-conversion circuit besides a figure from ROM7 at the time of the one (L level) of display ON-and-OFF control signal CD1 which defines whether G1 sends an indicative data to LCD panel 01 from the display memory 6. It is a NOR gate which gives serial indicative-data (it is also called bit map data) DV outputted to the SEG driver circuit 2-1, and makes a display action possible.

[0010] 5 is a split resistor which divides the power supply VDD of +5V inputted into the power supplies of the liquid crystal from the outside of this IC between grand GND (0V), and is made using the diffused resistor and polysilicon resistance inside IC. Although the resistance of this split resistor 5 changes with sizes of LCD panel 01, five resistance of 2komega is made in-series, and it comprises this example. Here, the node (the input terminal of the liquid crystal driving power supply dividing network 23 which will be described below if it puts in another way, or its voltage) of this resistance is set to V0-V5 (however, V0=+5V, V5=0V) from the +5V side.

[0011] Next, 23 inputs the division voltage V0-V5, It is a liquid crystal driving power supply dividing network which generates the segment driver voltage 21 given to the SEG driver circuit 2 synchronizing with AC converted signal M which gives the vertical scanning period (refer to TV and drawing 15) of LCD panel 01, and the common driver voltage 22 given to the COM driver circuit 3, respectively. When AC converted

signal M is "L" (grand GND level), this liquid crystal driving power supply dividing network 23 outputs the voltage V5 and V3 to two driver voltage lines of the segment driver voltage 21, respectively, and outputs the voltage V0 and V4 to two driver voltage lines of the common driver voltage 22, respectively. When AC converted signal M is "H" (power supply VDD level), the voltage V0 and V2 is outputted to two driver voltage lines of the segment driver voltage 21, respectively, and the voltage V5 and V1 is outputted to two driver voltage lines of the common driver voltage 22, respectively.

[0012] Drawing 15 shows the wave-like example of the driver voltage of AC converted signal M and each common line COM1, COM2 – each wave-like and arbitrary segment line (referred to as SEGj) of the driver voltage of COMm sequentially from a top. TH (TH1, TH2 – THm) is a horizontal scanning period equal to the cycle of below-mentioned latch clock CP2 here, TH1 is a horizontal scanning period as a display period (that is, horizontal line of the topmost part of an LCD panel) by common line COM1, and a horizontal scanning period as a display period according [TH2 and respectively THm] to common line COM2 and COMm similarly. And the display (lighting) of the pixel on the horizontal line where an LCD panel corresponds to each of this horizontal scanning period is performed.

[0013] If drawing 15 is explained referring to drawing 12, the COM driver circuit 3-1 will input common line display data DH and latch clock CP2, AC converted signal M, and the common driver voltage 22, From the falling time of AC converted signal M, between horizontal scanning period TH1 the voltage V0 (enabling), Till the standup point in time of AC converted signal M, henceforth the voltage V4 (disabled), Henceforth, till the falling point in time of AC converted signal M, the voltage V1 (disabled) is changed one by one between horizontal scanning period TH1 from the standup point in time of AC converted signal M, and the voltage V5 (enabling) is outputted to common line COM1. This waveform turns into a waveform right-reverse-reversed in the field of "L" (GND level) of AC converted signal M, and the field of "H" (VDD level).

[0014] The COM driver circuit 3-2 – 3-m input common driver voltage 22, AC converted signal M, and latch clock CP2 similarly, common line COM1 and the shape of isomorphism -- a phase -- every [the horizontal scanning period TH] -- the shifted wave-like (as [serve as / AC converted signal M / that is, / AC converted signal M serves as the voltage V0, and / in the field of "L" / in the field of "H" / at the horizontal scanning period of this ** / the voltage V5]) switch voltage is outputted to common line COM2 – COMm, respectively.

[0015] Drawing 14 shows the example of composition of the COM driver circuit 3 (3-1 – 3-m). The D flip-flop from which 8H-1, 8H-2 – 8 H-i – 8 H-m constitute the shift register of m stage (m bit) as a whole in the figure (in addition, a D flip-flop is written also as DFF), 15 is E-NOR circuit and 10H (10H-1, 10H-2 – 10 H-i – 10 H-m) is an output buffer.

[0016] The group of D-flip-flop 8H-1 located in a line with vertical single tier here, E-NOR circuit 15, and output buffer 10H-1 is equivalent to the COM driver circuit 3-1 which drives common line COM1 of drawing 12, The group of D-flip-flop 8 H-m similarly on a par with a vertical single tier, E-NOR circuit 15, and output buffer 10 H-m is equivalent to COM driver circuit 3-m which drives common line COMm of drawing 12.

[0017] The group of D-flip-flop 8 H-i on a par with a vertical single tier, E-NOR circuit 15, and output buffer 10 H-i shows COM driver circuit 3-i which drives general common line COMi. The common line display data DH which specifies "a display (lighting)" from the timing circuit besides the figure in this IC for every time of falling of AC converted signal M is given to D-flip-flop 8H-1 of the input stage of the shift register circuit 8H, and it is read into it by latch clock CP2. And if this read in ends, the common line display data DH will switch to "it being non-display (astigmatism light)", and will maintain this state to the falling time of following AC converted signal M henceforth.

[0018] Latch clock CP2 is inputted common to D-flip-flop 8H-1 of each stage – 8 H-m, and the common line display data DH of this "display" is henceforth shifted from D-flip-flop 8H-1 one step of turn at a time toward 8 H-m synchronizing with latch clock CP2. Each E-NOR circuit 15 searches for the E-NOR conditions of the corresponding indicative-data output Q of the D flip-flop of the shift register circuit 8H and AC converted signal M, and gives output buffer 10H-1 – 10 H-m the output 15a.

[0019] The above-mentioned common driver voltage 22 is inputted into each output buffer 10H-1 – 10 H-m in common, The common driver voltage 22 (one of the two voltage) selected according to the E-NOR output 15a is outputted to the output terminal 11H (that is, each common line COM1 – the drive end of COMm) of each output buffer 10H-1 – 10 H-m. In this example, during the "L", when the indicative-data output Q of the D flip-flop concerned is "a display" (that is, horizontal scanning period as a display period by the common line concerned), AC converted signal M, The voltage V0 (enabling) is outputted to the output terminal 11H of the output buffer 10H concerned, and when "non-display", the voltage V4

(disabled) is outputted for the indicative-data output Q of the D flip-flop concerned.

[0020]When AC converted signal M is [the indicative-data output Q of the period of "H" and the D flip-flop concerned] "a display" similarly, the voltage V5 (enabling) is outputted to the output terminal 11H of the output buffer concerned, and when [same] "non-display", the voltage V1 (disabled) is outputted. Thus, common line COM1 of drawing 15 – the driver voltage waveform of COMm will be generated.

[0021]Drawing 13 shows the example of composition of the SEG driver circuit 2 (2-1 – 2-n). The D flip-flop in which 9-1,9-2 – 9-j – 9-n constitute the data latch circuit 9 from a D flip-flop from which 8-1,8-2 – 8-j – 8-n constitute the shift register circuit 8 of n stage (n bit) as a whole in the figure as a whole, and 15 E-NOR circuit, 10 (10-1,10-2 – 10-j – 10-n) is an output buffer circuit.

[0022]The group of D-flip-flop 8-1,9-1 located in a line with a vertical single tier here, E-NOR circuit 15, and the output buffer 10-1 is equivalent to the SEG driver circuit 2-1 which drives segment line SEG1 of drawing 12. The group of D-flip-flop 8-n [similarly on a par with a vertical single tier], 9-n, and E-NOR circuit 15 and output buffer 10-n is equivalent to SEG driver circuit 2-n which drives the segment line SEGn of drawing 12.

[0023]The group of D-flip-flop 8-j [on a par with a vertical single tier], 9-j, and E-NOR circuit 15 and output buffer 10-j shows SEG driver circuit 2-j which drives the general segment line SEGj. Serial indicative-data (bit map data) DV outputted from the ROM7 side of drawing 12 is inputted into D flip-flop 8-1 of the input stage of the shift register circuit 8. Synchronizing with shift register clock CP1 inputted at the beginning of each horizontal scanning period TH common to D flip-flop 8-1 – 8-n, indicative-data DV is shifted from D flip-flop 8-1 in order towards 8-n. When a series of new indicative-data DV by this shift spreads round the D flip-flops 8-1 each – 8-n, Latch clock CP2 is inputted common to the D flip-flops 9-1 each of the data latch circuit 9 – 9-n. The D flip-flops 8-1 each of the shift register circuit 8 – the indicative-data output Q of 8-n are latched to the D flip-flops 9-1 each of the data latch circuit 9 corresponding, respectively – 9-n.

[0024]That is, the latch output of the indicative data of whether to display the pixel on the segment line corresponding to the horizontal scanning period of this ** (lighting) will be carried out to the D flip-flops 9-1 each of the data latch circuit 9 – the output terminal Q of 9-n. Each E-NOR circuit 15 searches for the E-NOR conditions of the indicative-data output Q according to above-mentioned segment line of the data latch circuit 9, and AC converted signal M, and gives the output 15a to the output buffer 10-1 – 10-n.

[0025]The above-mentioned segment driver voltage 21 is inputted into each output buffer 10-1 – 10-n in common. The segment driver voltage 21 (one of the two voltage) selected according to the E-NOR output 15a is outputted to each output buffer 10-1 – the output terminal 11 (that is, each segment line SEG1 – the drive end of SEGn) of 10-n. In this example, when AC converted signal M "displaying (lighting)" the pixel concerned during the "L", the voltage V5 (enabling) is outputted to the output terminal 11 of the output buffer 10 concerned, and when it is "[non-display (astigmatism light)]", the voltage V3 (disabled) is outputted. When AC converted signal M "displays" the pixel concerned during the "H" in a similar manner, the voltage V0 (enabling) is outputted to the output terminal 11 of the output buffer concerned, and when "non-display", the voltage V2 (disabled) is outputted.

[0026]In the wave-like example of the segment line SEGj of drawing 15, as for the waveform of this solid line, the pixel of the intersection of the segment line SEGj concerned and common line COM1 is displayed by only horizontal scanning period TH of common line COM11, and all other pixels on this segment line SEGj show the case of being non-display. Also in horizontal scanning period TH of common line COM22, when displaying the pixel on the segment line SEGj concerned, the waveform of a dotted-line part is added here. The driving waveform of this segment line SEGj also turns into a waveform of right reverse reversal corresponding to "L" of AC converted signal M, and "H".

[0027]The LCD controller driver IC 02 mainly receives the program instruction which contains an indicative data from external MPU, and drawing 8 writes an indicative data in internal display memory. It is a block diagram inside the IC02 in connection with the course of the indicative data [it changes the contents of display memory into the segment driving signal which should be outputted to LCD panel 01] of a between. In this example, this LCD controller driver IC 02, The LCD panel besides the figure which displays the character with which it is expressed with the font pattern of 5x8 dots shown in drawing 11 like the case of drawing 10 shall be driven (however drawing 8 display letter counts 16 figures x two lines). It is connected with this LCD panel via the segment lines SEG1-SEG80 which become [character beam 16x5 (figure)/=80], and the common lines COM1-COM16 which become [character row 2x8(line)/=16].

[0028]AC converted signal [which stated 30 by drawing 12 etc. in drawing 8] M, and shift register clock CP1, and latch clock CP2, The control signal for operation timing directions of T32 explained in full detail by drawing 9, and T33 grade, etc. Generate various kinds of control signals, and supply each relation block

circuit in this IC, or, The timing generating circuit which outputs an address signal to the display memory 6, The bus interface connected via system bath S-BUS which 31 becomes from external MPU, data bus, and control bus besides a figure, The register which stores temporarily the program instruction (this example 8 bits) which inputted 32 via the interface 31, and 33 are instruction decoders which decode the program instruction stored in this register 32.

[0029]6 is the display memory equivalent to RAM described by drawing 12, and memorizes the indicative data (it consists of character codes) contained in said program instruction by one display screen of LCD panel 01 (the number of characters is used in this example, and they are 16 figures x two lines). 7 is ROM which remembers the font pattern of 5x8 dots corresponding to each character code that drawing 12 similarly described in this example similarly.

[0030]34 inputs latch clock CP2 and the below-mentioned starting control signal T34 for the display memory 6 to a character code from the timing generating circuit 30, It is an address decoder which generates the address signal which should be displayed on the horizontal scanning cycle TH of this **, and to which the font pattern is made for 5 bits of scan lines (side of one line) of this ** to output from every ROM7 for every character to ROM7. To for this reason, 8 bits of character codes (as the address for letter ratings) which were read from the display memory 6 as for the address decoder 34. In order to specify one of the character row $2 \times 8 = 16$ scanning lines (common line) in order, the 12-bit address signal which added the 4-bit address (it is called a common tab-control-specification address) generated from latch clock CP2 is given to ROM7.

[0031]5-bit font pattern data in which 35 is outputted from ROM7 (for convenience) bit map data DV1 — carrying out — it is a parallel/serial-conversion circuit (it abbreviates also to Para / Thilly conversion circuit) changed into serial indicative-data (bit map data) DV to the SEG driver circuit 2 described by drawing 12. setting the SEG driver circuit 2 of drawing 8 to drawing 13 — a segment line — several outputs from SEG1 to SEG80 — with the same composition as the case where $n=80$ are used. The shift register circuit 8 consists of D flip-flop 8-1 to 8-80 by which cascade connection was carried out, and the data latch circuit 9 consists of D flip-flop 9-1 to 9-80 in a similar manner here.

[0032]The segment output buffer circuit (it is written also as a SEG output buffer circuit) 100 shall be a functional division equivalent to E-NOR circuit 15 and the output buffer circuit 10 (10-1 to 10-80) for 80 steps at the time of being referred to as $n=80$ in drawing 13. moreover — setting the COM driver circuit 3 of drawing 8 to drawing 14 — a common line — several outputs from COM1 to COM16 — it shall have the same composition as the case where $m=16$ are used

[0033]Drawing 9 is a time chart which shows operation of the important section of drawing 8. In drawing 9, 1 shows system clock CPS generated in the timing generating circuit 30. It shall operate here considering a part for 5 from 1 clock eye of system clock CPS to 5 clock eye clocks as 1 machine cycle, and each clock number from one to five is given to each of this clock pulse.

[0034]2) is a control signal given to the register 32 from the timing generating circuit 30, The register 32 incorporates the program instruction from the system bath S-BUS side via the interface 31, and shows the control signal T32 which defines the timing which carries out the hold output of this incorporated data to the instruction decoder 33 or display memory 6 side.

[0035]3) shows the data outputted to the instruction decoder 33 or the display memory 6 from the register 32. 4) is a control signal given to the instruction decoder 33 from the timing generating circuit 30, The decoder 33 with the control signal T33 which defines the timing which incorporates and decodes the instruction code (inside of program instruction) which the register 32 outputs, or the control signal given to the display memory 6. The control signal T61 with which the display memory 6 defines the timing which incorporates the character coded data (inside of program instruction) which the register 32 outputs is shown.

[0036]5) is a control signal given to the display memory 6 from the timing generating circuit 30, and shows the control signal T62 which defines the timing to which the display memory 6 reads and outputs character coded data (address information to ROM7). 6) shows the 8-bit character coded data outputted to the address decoder 34 from the display memory 6.

[0037]7) is a control signal given to the address decoder 34 from the timing generating circuit 30, and shows the control signal T34 which defines the timing which outputs the 12-bit address information which the address decoder 34 described above to ROM7. 8) shows the 12-bit address information outputted to ROM7 from the address decoder 34.

[0038]9) is a control signal given to ROM7 from the timing generating circuit 30, and shows the control signal T70 which defines the timing which outputs bit map data DV1 whose ROM7 is 5 bits. 10) shows 5-bit bit map data DV1 outputted to Para / Thilly conversion circuit 35 from ROM7.

[0039]11) is a control signal given to Para / Thilly conversion circuit 35 from the timing generating circuit 30, and shows shift register clock CP1 as a control signal which defines the timing to which Para / Thilly conversion circuit 35 outputs serial translation data. 12) shows bit map data DV as an indicative data of the serial transfer outputted to the SEG driver circuit 2 from Para / Thilly conversion circuit 35.

[0040]The control signal T32 of drawing 9, T33, and T61 are generated only when the control signal (purport that sends an indicative data and it writes in to the display memory 6) 03 is sent from external MPU (at the time of the write mode of MPU), The control signal except the above-mentioned control signal of drawing 9 is always generated for the display action of the always of LCD panel 01.

[0041]When operation of drawing 8 is explained referring to drawing 9, synchronizing with the control signal T32 from the timing generating circuit 30 the register 32, The 8-bit program instruction (as said data signal 04) inputted via the interface 31 from external MPU besides a figure (at the time of the write mode) A period equal to one machine cycle, Hold and, in the case of the machine cycle (it is called an instruction decode cycle) which should decode the instruction code of a series of program instruction, the machine cycle of this ** simultaneously this held data, According to the control signal (outside of a figure) given, it outputs to the instruction decoder 33 from the timing generating circuit 30 separately.

[0042]On the other hand, in the case of the machine cycle (it is called an indicative-data write cycle) to which the character code as an indicative data to which the machine cycle of this ** follows the instruction code (instruction code) of the program instruction is transmitted. Next, according to the control signal (outside of a figure) separately given from the timing generating circuit 30 based on the decoded result of the point of the instruction decoder 33 to describe, it outputs to the display memory 6.

[0043]In the case of an instruction decode cycle, the instruction decoder 33 incorporates and decodes the instruction code from the register 32 synchronizing with the control signal T33, and sends this decoded result to the timing generating circuit 30. The block circuit related to [from the timing generating circuit 30] required directions will be given by this. It is "display", "for it to be able to erase", "be reversed", etc. among the commands directed from MPU with an instruction code. And when this command is accompanied by an indicative data, the timing generating circuit 30 gives the control signal which makes the continuing machine cycle an indicative-data write cycle to the register 32 and display memory 6 grade.

[0044]Thus, in the case of an indicative-data write cycle, The display memory 6 synchronizes with the control signal T61, reads the character code from the register 32, and stores it in the address specified with the control signal besides the figure given from the timing generating circuit 30 by the decoded result of a previous instruction code. The display memory 6 synchronizes with the control signal T62, and Next, the inside of the 8-bit character coded data in self, The 8-bit character coded data in the position specified by the control signal besides the figure separately given from the timing generating circuit 30 is read, and it outputs to a period equal to one machine cycle, and the address decoder 34. the 12-bit address information which the address decoder 34 synchronized with the control signal T34, and added a 4-bit common tab-control-specification address to 8 bits of character coded data as mentioned above to ROM7 by this -- a period equal to one machine cycle -- it outputs.

[0045]. Next, ROM7 synchronized with the control signal T70, and were specified by the address information from the address decoder 34. a part for one scanning line of the font data of 5x8 dots about an 8-bit indicative data (character) (5-bit bit map data) -- DV1 -- a period equal to one machine cycle -- it outputs. By this, Para / Thilly conversion circuit 35 synchronizing with shift register clock CP1 as a control signal, and changing this ROM7 to 5-bit bit map data DV1 into serial bit map data DV. It transmits to the shift register circuit 8 of the SEG driver circuit 2.

[0046]By repetition of such operation, serial bit map data DV for one scanning line of an LCD panel (16 figures x 5(bit/beam)= 80 bits of characters), Whenever 1 bit spreads at a time round each of all the D flip-flops of the shift register circuit 8, This bit map indicative-data DV is latched to the data latch circuit 9, The segment driving signal corresponding to the bit map data latched [above-mentioned] is outputted to the segment lines SEG1-SEG80 by the segment output buffer circuit 100, The pixel display on the common line concerned of an LCD panel is performed by the common driving signal of the applicable scan line simultaneously outputted from the common line of the common driver circuit 3. And this operation is repeated for all the common line COM1-COM 16 minutes (16 times) for every = (1/2 of 1 vertical-scanning-period TV) frame period, and the display for one screen of an LCD panel is completed with 2 frame periods in the first half and the second half of 1 vertical-scanning-period TV.

[0047]

[Problem(s) to be Solved by the Invention]By the way, in order that there may be much wiring of the data bus which connects each functional order block circuit as shown by a thick line with an arrow with the composition shown in drawing 8 while resulting in Para / Thilly conversion circuit 35 from the register 32

and also it may reduce the cost of IC, When the functional order block circuit where sizes differ originally has been arranged so that area of the whole LCD controller driver IC may be made small, the channels of communication of a signal become long, the area of the wiring for taking about a signal wire becomes large, and there is a problem of moving against measuring the cost reduction of IC.

[0048]Then, this invention makes it a technical problem to provide the liquid-crystal-display control driving circuit which can solve this problem.

[0049]

[Means for Solving the Problem]Two or more segment lines (SEG1, SEG2, etc.) which ran to a lengthwise direction and were installed in a transverse direction side by side in order to solve the aforementioned technical problem, It has a pixel in each intersection with two or more common lines (COM1, COM2, etc.) which ran to a transverse direction and were installed in a lengthwise direction side by side, An indicative data corresponding to a character array of a display screen of a liquid crystal panel (01) which turns on a pixel of an intersection of a segment line and a common line which were driven to both enabling, Display memory (6A etc.) as a functional order block circuit which consists of RAM memorized by a character code of a character arranged, ROM (7A etc.) as a functional order block circuit which memorizes a font of the shape of a dot matrix corresponding to each character code of a character which should be displayed on said display screen, a horizontal scanning cycle proportional to a machine cycle which consists of terms two or more predetermined rounds of a system clock (CPS) -- (— every one of said the common lines being chosen as every TH), and the arrangement order and cyclically, to it, Dot display data to which existence of lighting according to pixel on a common line about an indicative data in display memory chosen is indicated to be a common driver circuit (3) as a functional order block circuit which drives a selected common line to enabling for every horizontal scanning cycle is inputted, It has at least a segment driver circuit (2) as a functional order block circuit which drives a segment line corresponding to a lighting pixel to enabling, When a screen display of a liquid crystal panel corresponding to an indicative data in display memory is performed and a write request always occurs from external MPU further, (Passing the interface 31, the register 32, the instruction decoder 33, etc.) Synchronizing with a machine cycle, incorporate instruction data transmitted from MPU at this time, and. In a liquid-crystal-display control driving circuit which writes a character code as an indicative data in instruction data in an address specified with the instruction data concerned of display memory, and updates said screen display of a liquid crystal panel, A liquid-crystal-display control driving circuit circuit of claim 1 is provided with a common data bus (36), . It may exist on channels of communication of an indicative data which results by a dot display entry of data from incorporation of said instruction data to a segment driver circuit. At least three or more functional order block circuits data required for the operation among all the functional order block circuits including said display memory, ROM, and a segment driver circuit, It synchronizes with a system clock for every machine cycle, and enables it to deliver and receive mutually via said common data bus by time sharing.

[0050]At least a liquid-crystal-display control driving circuit of claim 2 A system clock (CPS), It has a common control bus (37) which tells the dividing signals (CPS/2, CPS/4, etc.) and signals (latch clock CP2 etc.) which define said horizontal scanning cycle, At least two or more functional order block circuits of all the functional order block circuits including the aforementioned functional order block circuit which may exist in this liquid-crystal-display control driving circuit, A signal of said common control bus is decoded via control signal decode means (AND gateAG1, AG2, etc.) built in, respectively, and control signals (T32a, T33, etc.) which define the operating time further according to timing and necessity for own starting are generated.

[0051]It is made for a liquid-crystal-display control driving circuit of claim 3 to consist of ICs in the liquid-crystal-display control driving circuit according to claim 1 or 2.

[0052]

[Embodiment of the Invention]

(Embodiment 1) Drawing 1 is a block diagram showing the internal configuration of the LCD controller driver IC as one example of the invention (henceforth the 1st invention) in connection with claim 1, and this figure supports drawing 8. In drawing 1. The timing generating circuit 30, the display memory 6, the address decoder 34, ROM7, and the shift register circuit 8 to ~~****~~8, respectively The timing generating circuit 30A, the display memory 6A, the address decoder 34A, ROM7A, segment latch circuitry. (It is written also as SEG latch circuitry) 80 is replaced, and Para / Thilly conversion circuit 35 is omitted, and the register 32, the display memory 6A, the address decoder 34A, ROM7A, and the 8-bit common data bus 36 connected to the SEG latch circuitry 80 are established further newly. And as for this common data bus 36, a part for 8 bits of full lines is connected with the register 32, the display memory 6A, and ROM7A via a bi-directional bus, respectively, The 5-bit line in 8 bits is connected [decoder / 34A] again respectively

via the unidirectional bus in the 4-bit line in 8 bits in the SEG latch circuitry 80.

[0053] everything but the point that the function of the timing generating circuit 30A generates here the control signal explained in full detail to drawing 2 -- the timing generating circuit 30 of drawing 8 -- abbreviated -- it is the same. The address decoder 34A A part of function of the address decoder 34 of drawing 8. Namely, latch clock CP2 and the starting control signal T34a are inputted from the timing generating circuit 30A, In order to make it output from ROM7 5-bit bit map data DV every 1 on the scan line (side of one line) of this ** in the font pattern for every character which should be displayed on the horizontal scanning cycle TH of this **, It has only the function to generate the 4-bit common tab-control-specification address for specifying one of the character row $2 \times 8 = 16$ scanning lines in order.

[0054] The SEG latch circuitry 80 builds in the all the 80 pieces latch circuitry respectively corresponding to the segment lines SEG1-SEG80 so that it may explain in full detail by drawing 3. It has a part for the total number of characters on the common line actually specified in indicative-data (bit map data) DV1 of five bit parallels outputted on the data bus 36 for every machine cycle (that is, all the 80 bits), and a role incorporated into this 80 latch circuitry one by one.

[0055] Drawing 2 is a time chart for important section operation explanation of drawing 1. In drawing 2, the same system clock CPS as drawing 9 which sets 1 to the data on a data bus (an instruction code is removed and it is the common data bus 36), sets 2 to the timing generating circuit 30A, and is generated is shown, respectively. It operates considering five clocks of system clock CPS as 1 machine cycle also here. That is, this liquid-crystal-display control driving circuit is a device of the 5 1 machine cycle State.

[0056] Next, 3 is a control signal given to the register 32 from the timing generating circuit 30A, The timing which incorporates the data (program instruction) in which the register 32 was sent from external MPU, The control signal T32a which sets the period which holds the data and is sent out to a data bus (data bus RI-BUS or the common data bus 36 turned instruction decoder 33) is shown.

[0057] 4) is a control signal given to the instruction decoder 33 from the timing generating circuit 30A, The instruction decoder 33 with the control signal T33 which defines the timing which incorporates and decodes the instruction code which the register 32 outputs, or the control signal given to the display memory 6A. The control signal T61 with which the display memory 6A defines the timing which incorporates the character coded data on the common data bus 36 is shown. These control signals T33 and T61 have a role respectively equivalent to the signal of the same sign of drawing 9.

[0058] 5) is a control signal given to the display memory 6A from the timing generating circuit 30A, and shows the control signal T62a which sets the timing to which the display memory 6A sends out character coded data to the common data bus 36, and a period. 6) is a control signal given to ROM7A from the timing generating circuit 30A, and shows the control signal T71 which defines the timing into which ROM7A reads the address information as an 8-bit character code from the display memory 6A on the common data bus 36.

[0059] 7) is a control signal given to the address decoder 34A from the timing generating circuit 30A, and shows the control signal T34a which sets the timing which sends out the common tab-control-specification address information whose address decoder 34A is 4 bits to the data bus 36, and a period. 8) is a control signal given to ROM7A from the timing generating circuit 30A, and shows the control signal T72 which defines the timing into which ROM7A reads the 4-bit common tab-control-specification address information from the address decoder 34A on the data bus 36.

[0060] 9) is a control signal given to ROM7A from the timing generating circuit 30A, and shows the control signal T70a which sets the timing to which ROM7A sends out 5-bit indicative-data (bit map data) DV1 in a character font to the data bus 36, and a period. The control signal T32a of drawing 2, T33, and T61 are generated only at the time of the write mode of this IC02 by external MPU, and the control signal except this control signal of drawing 2 is always generated for the display action of the always of an LCD panel.

[0061] In this invention, although operation of the LCD controller driver IC 02 is the same as usual fundamentally, In order to perform altogether an exchange of the data of the register 32, the display memory 6A, the decoder 34A, ROM7A, and the SEG latch circuitry 80 by time sharing via the common data bus 36, a difference is produced to the course and timing of data transfer. Next, operation of drawing 1 is explained, referring to drawing 2. First, in the standup of 1 clock eye of system clock CPS, Incorporate the 8-bit program instruction which the register 32 synchronized with the control signal T32a, and was inputted from external MPU besides a figure via the interface 31, and. During the "H" of the control signal T32a, when the machine cycle of this ** is an instruction decode cycle, this incorporated program instruction, According to the control signal besides the figure separately given from the timing generating circuit 30A as usual, It outputs to up to data bus RI-BUS towards the instruction decoder 33, and outputs to up to the common data bus 36 towards the display memory 6A according to the control signal besides a figure the

same in the case of an indicative-data write cycle.

[0062]In the standup of 2 clock eye of a system clock, by this as usual, In the case of an instruction decode cycle, the instruction decoder 33 synchronizes at the control signal T33, and the program instruction on data bus RI-BUS which the register 32 outputs is incorporated and decoded, Tell the decoded result to the timing generating circuit 30A, and, in the case of an indicative-data input cycle, the display memory 6A synchronizes at the control signal T61, The character code as program instruction on the data bus 36 is incorporated into the address (write destination address) specified with the control signal besides the figure separately given from the timing generating circuit 30A.

[0063]In the standup of 3 clock eye of a system clock, The display memory 6A synchronizes with the control signal T62a, and The period of "H" of this signal T62a, As address information for letter ratings, 8 bits of character codes in the address (read-out place address) specified with the control signal besides the figure separately given from the timing generating circuit 30A among the data (character code) to hold are turned to ROM7A, and are outputted to up to the common data bus 36.

[0064]Thereby, in falling of 3 clock eye of a system clock, it synchronizes with the control signal T71, and ROM7A reads the 8-bit character code on the data bus 36. next -- the address decoder 34A synchronizes with the control signal T34a in the standup of 4 clock eye of a system clock -- "H" of this signal T34a -- 4-bit common tab-control-specification address information is turned to ROM7A as mentioned above during the period, and it outputs to up to the common data bus 36.

[0065]Thereby, in the standup of 4 clock eye of a system clock, it synchronizes with the control signal T72, and ROM7A reads the 4-bit common tab-control-specification address information on the data bus 36. In the standup of 5 clock eye of a system clock, 8 bits of address information for letter ratings which ROM7A synchronized with the control signal T70a, and was previously inputted during the "H" of this signal T70a, Based on 4 bits of common tab-control-specification address information from this address decoder 34A, 5-bit indicative-data (bit map data) DV1 in an applicable character font is turned to the SEG latch circuitry 80, and it outputs to up to the common data bus 36.

[0066]Drawing 3 shows the example of the composition of the SEG driver circuit 2 in drawing 1. However, only the circuit part corresponding to the segment lines SEG1-SEG10 is shown in drawing 3. Drawing 4 shows the timing of important section operation of drawing 3. Block circuit 80a-1 described as DFF in drawing 3, 80a-2, the D flip-flop from which ... constitutes a shift register circuit as a whole, Block circuit 80b-1 described as LATCH, 80b-2, and ... consist of D flip-flops, and are the latch circuitry respectively corresponding to each segment line SEG1, SEG2, and ... Block circuit 9-1,9-2 similarly described as LATCH and ... are equivalent to the D flip-flop of the same sign of drawing 13, respectively, are the latch circuitry respectively corresponding to each segment line SEG1, SEG2, and ..., and constitute the data latch circuit 9 same as a whole as drawing 13.

[0067]Next, block circuit 101-1,101-2 described as LS and ... are provided corresponding to each segment line SEG1, SEG2, and ..., respectively, Latch circuitry 9-1,9- of the preceding paragraph 2, the level shifter circuit which changes the output signal which consists of a level of 5V and 0V of ... into the signal which consists of a level of 5V and -5V (the numerals put in block are set to 101), The block circuit 102-1 described as 4L.SELECT, 102-2, and ... are provided corresponding to each segment line SEG1, SEG2, and ..., respectively, It is an output level selection circuitry (the numerals put in block are set to 102) which chooses one of the four voltage levels 5V and 1V and -1V which are inputted separately, and the -5V according to the output voltage of level shifter circuit 101-1,101- of the preceding paragraph 2, and ...

[0068]Since it comprises a circuit of drawing 3 so that the voltage level corresponding to the potential V0 and V1 which the circuit equivalent to the liquid crystal driving power supply dividing network 23 of drawing 12 inputs, V2, V3, V4, and V5 may be set to 5V, 3V, 1V, -1V, -3V, and -5V, respectively, The SEG output buffer circuit 100 which consists of above-mentioned level shifter circuit 101-1,101-2, ..., output level selection-circuitry 102-1,102-2 and ... is equivalent to the circuit which consists of E-NOR circuit 15 and the output buffer 10 of drawing 13.

[0069]Latch circuitry 80b-1 situated in the highest rung of the drive circuit of the vertical single tier respectively corresponding to each segment line SEG1, SEG2, and ... in the SEG latch circuitry 80 in drawing 3, 80b-2, and ..., It is constituted as a block circuit group of the horizontal single tier which consists of every five latch circuitry (80b-1 - 80b-5) of this on a par with the arrangement order of a segment line, (80b-6 - 80b-10), D-flip-flop 80a-1 that were provided one [at a time] for every group of ..., 80a-2, and ...

[0070]Every five above-mentioned latch circuitry (80b-1 - 80b-5), (80b-6 - 80b-10), The data input terminal of ... is connected to every one data line (DATA0-DATA4) with which 5-bit indicative-data (bit map data) DV1 from ROM7A is outputted among the common data buses 36. The above-mentioned D-flip-

flop 80a-1, 80a-2, and ... by shift register clock CP1A to which conventional shift register clock CP1 is outputted once every five shots as a whole. The shift register circuit which shifts 1-bit input data (address information) A-DATA one by one is constituted, D flip-flop each 80a-1 of this shift register circuit, 80a-2, five latch circuitry respectively corresponding to the D flip-flop concerned in the data output of ... (80b-1 - 80b-5), It is constituted so that it may become (80b-6 - 80b-10) and common latch instructions of ... [0071]Thus, every five above-mentioned latch circuitry which constitutes the SEG latch circuitry 80 (80b-1 - 80b-5), (80b-6 - 80b-10) and ... synchronize with clock CP1A, For every falling time of 1-bit address information A-DATA in which a shift output is carried out by D-flip-flop 80a-1, 80a-2, and ... as shown in the time chart of drawing 3-3 in more detail. 5-bit bit map data DV1 on the data line at the time (DATA0-DATA4) is latched, respectively.

[0072]Thus, when all of 80 latch circuitry 80b-1 which constitutes the SEG latch circuitry 80, 80b-2, and ... latch data, latch clock CP2 is outputted, All the latch circuitry 9-1,9-of data latch circuit 9 2 which inputs this latch clock CP2 in common, and ... hold latch circuitry 80b-1 of the preceding paragraph, 80b-2, and the latch data of ... all at once, respectively, The segment driving signal corresponding to each of this held data will be outputted to all the segment line SEG1, SEG2, and ... via corresponding, respectively level shifter circuit 101-1,101-2, ..., output level selection-circuitry 102-1,102-2 and ...

[0073](Embodiment 2) Drawing 5 is a block diagram showing the internal configuration of the LCD controller driver IC 02 as one example of the invention (henceforth the 2nd invention) in connection with claim 2. In the figure, a timing generating circuit, a register, an instruction decoder, display memory, and ROM replace 30B, 32A, 33A, 6B, and 7B to drawing 1, respectively, and the address decoder 34A is deleted, and. The control bus 37 common to each functional order block circuit is established newly.

[0074]This control bus 37, The common signal for generating the control signal which specifies the timing and operating life of starting of each functional order block circuit, such as the register 32A, the instruction decoder 33A, the display memory 6B, and ROM7B, like the control signal shown in drawing 2, It has a role supplied to each of this functional order block circuit, and is constituted from this example by five signal wires. And five signals of this common control bus 37 are generated in the timing generating circuit 30B, are outputted to the control bus 37, and are supplied to each of above-mentioned functional order block circuits via this bus 37. In this example, the timing generating circuit 30B shall give clock CP1A, CP2, and AC converted signal M like drawing 1 to the SEG driver circuit 2, and clock CP2 and AC converted signal M shall be given to the COM driver circuit 3.

[0075]Each of above-mentioned functional order block circuits build in the decode circuit for generating the control signal which decodes the signal of the control bus 37 inputted into the inside, and controls self, respectively. The reason for forming such a control bus 37 is because the signal wire which comes out from a timing generating circuit in the composition which supplies a control signal to each functional order block circuit directly cannot be reduced from a timing generating circuit like before.

[0076]Drawing 6 shows the concept of the example of the composition of the signal of the control bus 37 in drawing 5, and the decode circuit of this signal. In drawing 6, the signal of the control bus 37 sequentially from a top System clock CPS, As 1 / 2 dividing signals of CPS/2 as 1 / 2 dividing signals of the clock CPS, and said signal CPS / 2. It consists of **CPS/4, CPS/8 as 1 / 2 dividing signals of said signal CPS / 2, and latch clock CP2 as a signal of system clock CPS outputted once every 80 shots.

[0077]The block of the rectangular head of the upper dotted line of these signals means said functional order block circuit, AND gateAG1 inside this dotted-line block, and AG2 ... being provided in that functional order block circuit, respectively, and, Meaning the above-mentioned decode circuit which inputs and decodes each signal of the common control bus 37, the output of this AND gate means the control signal over the functional order block circuit concerned mentioned above.

[0078]In this example, dividing signal CPS / 8 are cancelled by the timing generating circuit 30B except [of MPU] the time of a write mode, At this time, operation of the register 32A and the instruction decoder 33A and data write operation of the display memory 6B are not started, but only operation of the functional order block circuit in connection with the regular display action of an LCD panel is started.

[0079]A different place from drawing 1 of the composition of the common data bus 36 in drawing 5, The point that eight bit data buses between the register 32 and an instruction decoder are lost, and the instruction decoder 33A is connected to the common data bus 36 via eight bidirectional bit data buses instead of this, It is the point that the timing generating circuit 30A is connected to the common data bus 36 via eight same bidirectional bit data buses.

[0080]When reading and this write the display memory 6B, it is a sake that the timing generating circuit 30B gave the address given to the display memory 6B via the data bus 36. In this example, the timing generating circuit 30B has a function equivalent to the address decoder 34A of drawing 1 which outputs a

4-bit common tab-control-specification address. And in order to generate in self the control signal which starts this function, the circuit which decodes the signal of the control bus 37 is provided also in the timing generating circuit 30B.

[0081] Drawing 7 is a time chart for important section operation explanation of drawing 5. In drawing 7, 1 is set to the data on the common data bus 36, 2 is set to the timing generating circuit 30B, it is generated, and system clock CPS outputted to the control bus 37 is shown, respectively. However, in this example, it operates considering eight clocks of system clock CPS as 1 machine cycle. That is, this liquid-crystal-display control driving circuit is a device of the 8 1 machine cycle State.

[0082] Next, 3 is a control signal equivalent to the signal of the same sign of drawing 2 which the register 32A decodes the signal of the control bus 37, and generates within self, The control signal T32a which sets the period which holds that data and is sent out to a data bus (however in this case only data bus 36) is indicated to be the timing from which the register 32A itself incorporates the data (program instruction) sent from external MPU.

[0083] 4) is a control signal equivalent to the signal of the same sign of drawing 2 which the instruction decoder 33A or the display memory 6B decodes the signal of the control bus 37, respectively, and generates within self, The control signal T33 to define or the display memory 6B itself the timing to which the instruction decoder 33A itself reads and decodes the data from the register 32A on the data bus 36 the data from the register 32A on the data bus 36. The control signal T61 which defines the timing to incorporate is shown.

[0084] 5) is a control signal which the instruction decoder 33A decodes the signal of the control bus 37, and generates within self, The control signal T33a which sets the timing to which the instruction decoder 33A itself sends out the data of the decoded result of a MPU instruction code to up to the data bus 36 towards the timing generating circuit 30B, and a period is shown.

[0085] 6) is a control signal which the timing generating circuit 30B decodes the signal outputted to the control bus 37, and generates within self, The control signal T30 with which the timing generating circuit 30B itself defines the timing which incorporates the data (decoded result of a MPU instruction code) on the data bus 36 is shown. 7) is a control signal which the timing generating circuit 30B decodes the signal outputted to the control bus 37, and similarly generates within self, The timing generating circuit 30B itself shows the control signal T30a which sets the timing which sends out the data of the write destination address with which the display memory 6B incorporates character coded data, and a period by the following machine cycle to up to the data bus 36 towards the display memory 6B.

[0086] 8) is a control signal which the display memory 6B decodes the signal of the control bus 37, and generates within self, and shows the control signal T63 which defines the timing from which the display memory 6B itself incorporates the data (the above-mentioned write destination address) on the data bus 36. 9) is a control signal which the timing generating circuit 30B decodes the signal outputted to the control bus 37, and generates within self, The timing generating circuit 30B itself shows the control signal T30b which sets the timing which sends out the data of the read-out place address which reads the character coded data whose display memory 6B is 8 bits, and a period to up to the data bus 36 towards the display memory 6B.

[0087] 10) is a control signal which the display memory 6B decodes the signal of the control bus 37, and generates within self, and shows the control signal T64 which defines the timing from which the display memory 6B itself incorporates the data (the above-mentioned read-out place address of character coded data) on the data bus 36. 11) is a control signal equivalent to the signal of the same sign of drawing 2 which the display memory 6B decodes the signal of the control bus 37, and generates within self, The control signal T62a with which the display memory 6B itself sets the timing which sends out 8-bit character coded data to up to the data bus 36 towards ROM7B, and a period is shown.

[0088] 12) is a control signal equivalent to the signal of the same sign of drawing 2 which ROM7B decodes the signal of the control bus 37, and generates within self, The control signal T71 with which the ROM7B itself defines the timing which reads the data (8-bit address information as character coded data from the display memory 6B) on the data bus 36 is shown.

[0089] 13) is a control signal corresponding to the control signal T34a of drawing 2 which the timing generating circuit 30B decodes the signal outputted to the control bus 37, and generates within self, The control signal T30c with which the timing generating circuit 30B itself provides the timing which sends out 4-bit common tab-control-specification address information to the data bus 36, and a period in ROM7B is shown.

[0090] 14) is a control signal equivalent to the signal of the same sign of drawing 2 which ROM7B decodes the signal of the control bus 37, and generates within self, The control signal T72 which defines the timing

which reads the common tab-control-specification address information whose ROM7B itself is 4 bits on the data bus 36 is shown. 15) is a control signal equivalent to the signal of the same sign of drawing 2 which ROM7B decodes the signal of the control bus 37, and generates within self, The control signal T70a with which the ROM7B itself sets the timing which sends out 5-bit bit map data DV1 to up to the data bus 36 towards the SEG driver circuit 2, and a period is shown.

[0091]In addition, The control signal T32a of drawing 7, T33, T61, T33a, T30, T30a, and T63 (that is, control signal generated by 4 clock eye from 1 clock eye of system clock CPS) are generated only at the time of the write mode of this IC02 by external MPU, The control signal except this control signal of drawing 7 is always generated for the display action of the always of an LCD panel.

[0092]Next, operation of drawing 5 is explained, referring to drawing 7. However, the operation in connection with a control signal equivalent to drawing 2, It is generated in the functional order block circuit concerned instead of the control signal over a functional order block circuit being given from the outside in drawing 5. Since there is only a difference of having changed to eight clocks instead of a machine cycle being system clock 5 clock, the explanation is omitted and the operation in connection with a new control signal is mainly explained.

[0093]In the standup of 3 clock eye of system clock CPS, Synchronizing with the control signal T33a, the instruction decoder 33A during the "H" of this signal T33a, The decoded result of the instruction code from external MPU read and decoded ignited by falling of 2 clock eye is turned to the timing generating circuit 30B, and it sends out to up to the data bus 36.

[0094]Thereby, in falling of 3 clock eye of system clock CPS, the timing generating circuit 30B incorporates the decoded result of the above-mentioned instruction code on the data bus 36 synchronizing with the control signal T30. Next, in the standup of 4 clock eye of system clock CPS the timing generating circuit 30B, Synchronizing with the control signal T30a, during the "H" of this signal T30a in the address obtained from the decoded result of the instruction code. The address of the write destination of the character code as an indicative data in the program instruction which the display memory 6B receives from the external MPU side is turned to the display memory 6B at the following machine cycle, and it sends out to up to the data bus 36.

[0095]Then, in falling of 4 clock eye of system clock CPS, the display memory 6B incorporates the address of the above-mentioned character code write destination on the data bus 36 synchronizing with the control signal T63. By the following machine cycle, according to the control signal T32a by this, It is incorporated from the external MPU side with the register 32A from the standup of 1 clock eye of system clock CPS to the standup of 3 clock eye, and a hold output is carried out on the common data bus 36, And the character code which synchronizes with the control signal T61 at the falling time of 2 clock eye, and is read into the display memory 6B will be stored in the above-mentioned character code write destination address incorporated into the display memory 6B by the front machine cycle.

[0096]In the standup of 5 clock eye of system clock CPS, the timing generating circuit 30B, It synchronizes with the control signal T30b, and the address of a read-out place in case the display memory 6B reads an 8-bit character code (address to ROM7B turn) from self during the "H" of this signal T30b is turned to the display memory 6B, and is sent out to up to the data bus 36.

[0097]Thereby, in falling of 5 clock eye of system clock CPS, the display memory 6B incorporates the address of the above-mentioned character code read-out place in the display memory 6B sent out on the data bus 36 synchronizing with the control signal T64. Then, in the standup of 6 clock eye of the following system clock CPS the display memory 6B, It will synchronize with the control signal T62a, the 8-bit character coded data of the incorporated above-mentioned read-out place address will be read during the "H" of this signal T62a, and it will send out to up to the data bus 36 towards ROM7B.

[0098]It is a form which the timing generating circuit 30B synchronizes with the control signal T30c, and replaces with the address decoder 34A of drawing 1 during the "H" of this signal T30c in the standup of 7 clock eye of system clock CPS, A 4-bit common tab-control-specification address is turned to ROM7B, and it sends out to up to the data bus 36.

[0099]

[Effect of the Invention]According to the 1st invention, an exchange of the data between functional order block circuits of the register 32, the display memory 6A, the address decoder 34A, ROM7A, and SEG latch circuitry 80 grade, Since it was made to carry out by time sharing in the machine cycle via the common data bus 36 synchronizing with the system clock, In order to make small area of the whole circuit of an LCD controller driver IC, However it may arrange each of above-mentioned functional order block circuits inside IC, it is not necessary to provide by between the functional order block circuits which deliver and receive data like before, in the case of an example, the bus which existed about 40 conventionally can be

managed with common eight, and the wiring of a data bus can prevent the increase in area of the wiring area of IC.

[0100] Although it had transmitted 1 bit of indicative data at a time to the SEG driver circuit conventionally, Since it can transmit two or more bits (an example 5 bits) every in this invention, the data transfer rate of a SEG driver circuit portion can be lowered conventionally (one fifth [conventional in the example]), and the consumed electric current can also be reduced. According to the 2nd invention, the control signal which sets starting and operating life of each functional order block circuit of the register 32A, the instruction decoder 33A, the display memory 6B, ROM7B, and SEG latch circuitry 80 grade, Since the signal of the common control bus 37 is decoded via the decode circuit which each functional order block circuit builds in and it was made to generate within self, It compares, when supplying a control signal to each functional order block circuit individually from the timing generating circuit 30 like before, However it may arrange each of above-mentioned functional order block circuits inside IC in order to be able to reduce the total of a control signal line and to make small area of the circuit of the whole LCD controller driver IC, the increase in area of the wiring area of a control signal can be prevented. if the 2nd invention is furthermore carried out with the 1st invention, this effect can be heightened more, when it is an example, a ***** bus can be conventionally managed with 13 of eight common data buses and five common control buses about in 60, and the increase in IC area by a wiring area can be prevented enough.

[0101] Thus, according to this invention, in the layout design of a liquid-crystal-display control driving circuit, the size of a liquid-crystal-display control driving circuit can be made small by stopping a wiring surface product, and the design efficiency of a liquid-crystal-display control driving circuit can also be raised by communalizing a bus further.

[Translation done.]

* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the internal configuration of the LCD controller driver IC as one example of the 1st invention

[Drawing 2] The time chart for important section operation explanation of drawing 1

[Drawing 3] The figure showing the example of the composition of the segment driver circuit in drawing 1

[Drawing 4] The time chart for important section operation explanation of drawing 3

[Drawing 5] The block diagram showing the internal configuration of the LCD controller driver IC as one example of the 2nd invention

[Drawing 6] The figure showing the concept of the example of the composition of the signal of the control bus in drawing 5, and the decode circuit of this signal

[Drawing 7] The time chart for important section operation explanation of drawing 5

[Drawing 8] The block diagram showing the example of composition inside the conventional LCD controller driver IC

[Drawing 9] The time chart for important section operation explanation of drawing 8

[Drawing 10] The key map of the liquid-crystal-display control driving circuit containing a dot-matrix type liquid crystal panel (LCD panel)

[Drawing 11] The figure showing the composition of the character font display matrix of drawing 10

[Drawing 12] The figure showing the example of composition of the LCD panel driving portion of the conventional LCD controller driver IC

[Drawing 13] The figure showing the example of composition of the segment driver circuit of drawing 12

[Drawing 14] The figure showing the example of composition of the common driver circuit of drawing 12

[Drawing 15] The figure showing the wave-like example of the liquid crystal panel driving signal of drawing 12

[Description of Notations]

01 Liquid crystal panel (LCD panel)

02 LCD controller driver IC

03 Control signal

04 Data signal

2 Segment driver circuit (SEG driver circuit)

3 Common driver circuit (COM driver circuit)

6A, 6B display memory

7A,7B ROM

9 Data latch circuit

30A, 30B timing generating circuit

31 Interface

32 32A Register

33 33A Instruction decoder

34A and 34B Address decoder

36 Data bus

37 Control bus

80 Segment latch circuitry (SEG latch circuitry)

100 Segment output buffer circuit (SEG output buffer circuit)

S-BUS System bath

SEG1-SEG80 Segment line

COM1 – COM16 common line

TH Horizontal scanning cycle

DV1 5-bit bit map data

DH Common line display data

A-DATA Address information

M AC converted signal

CPS System clock

CPS/2, CPS/4, and CPS/8 Dividing signal of a system clock

CP1A Shift register clock

CP2 Latch clock

AG1, AG2, and ... an AND gate

T30, T30a, T30b, and T30c Control signal for a timing generating circuit

T32a Control signal for a register

T33 and T33a Control signal for an instruction decoder

T34a Control signal for an address decoder

T61, T62a, T63, and T64 Memory control signal for a display

T70a, T71, and T72 Control signal for ROM

[Translation done.]

* NOTICES *

JPO and INPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

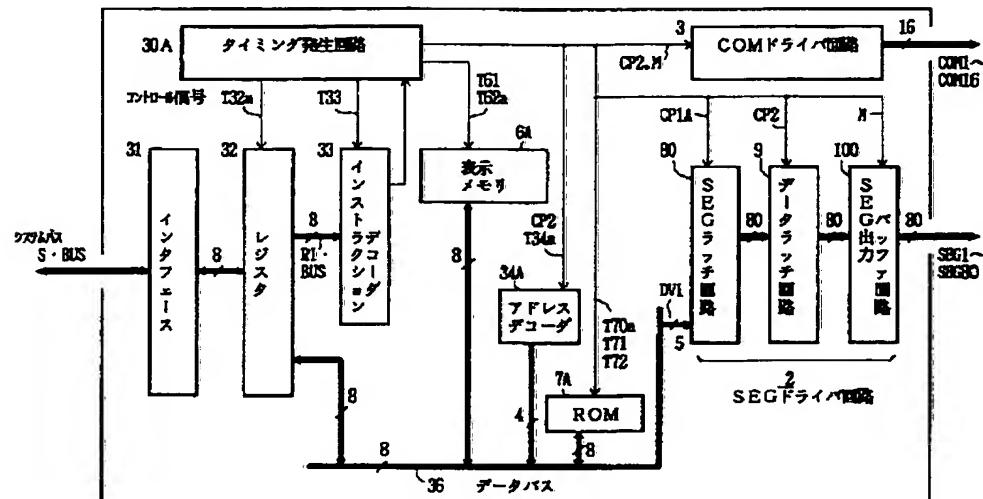
2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

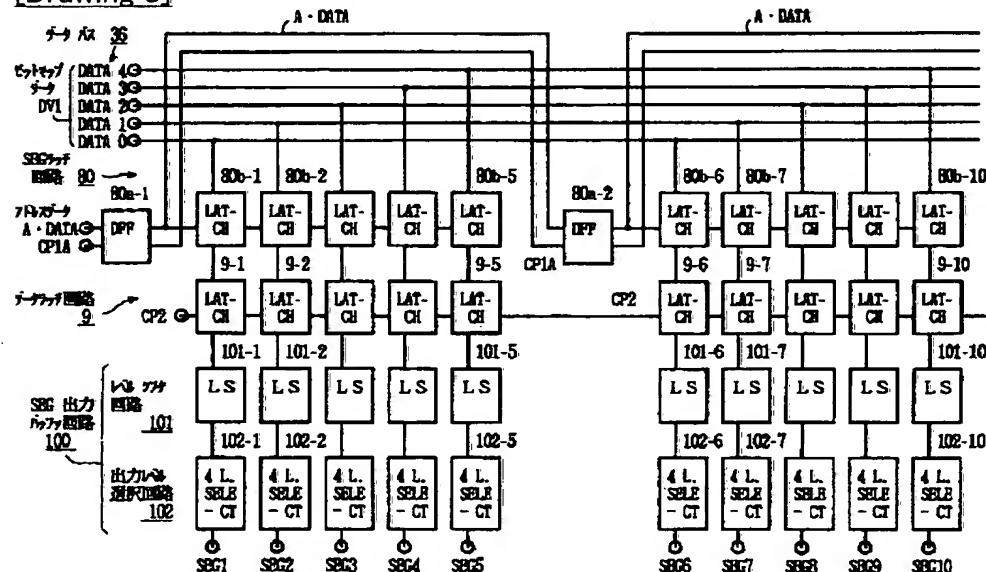
DRAWINGS

[Drawing 1]

02 LCDコントローラ・ドライバIC



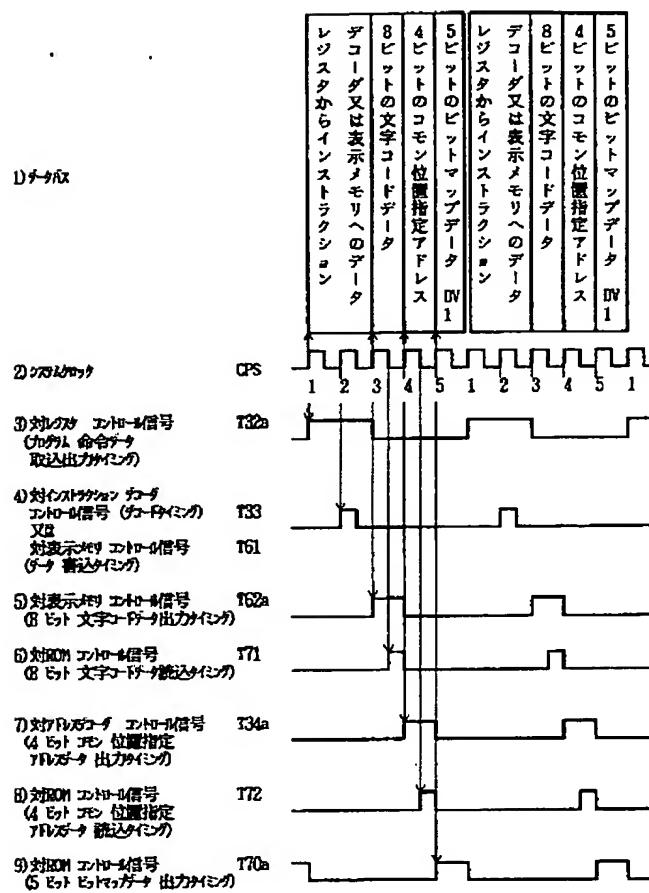
[Drawing 3]



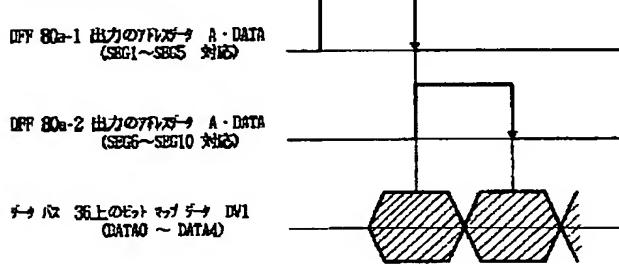
[Drawing 11]



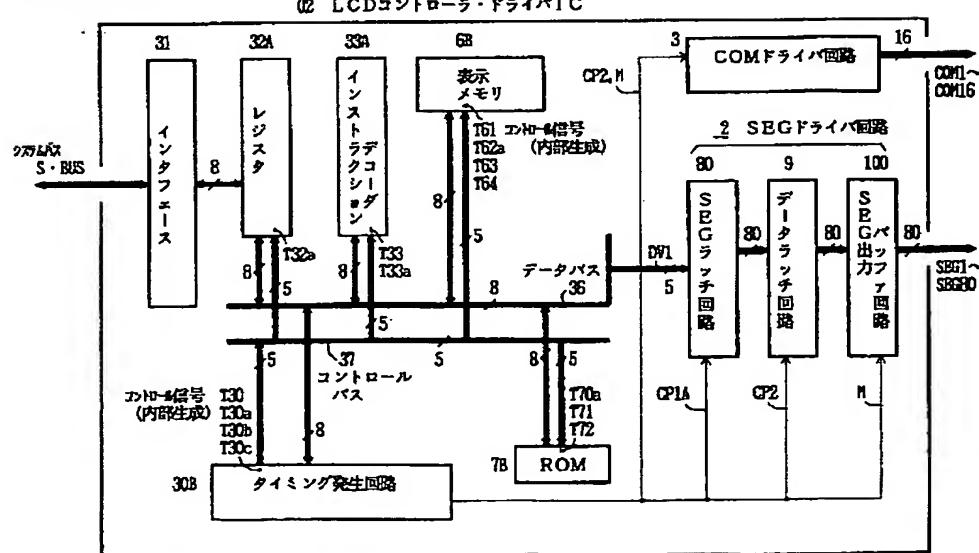
[Drawing 2]



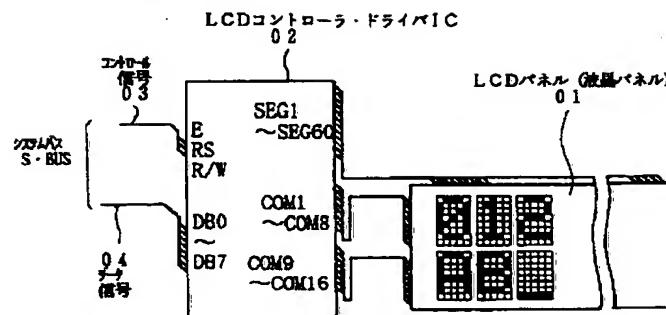
[Drawing 4]



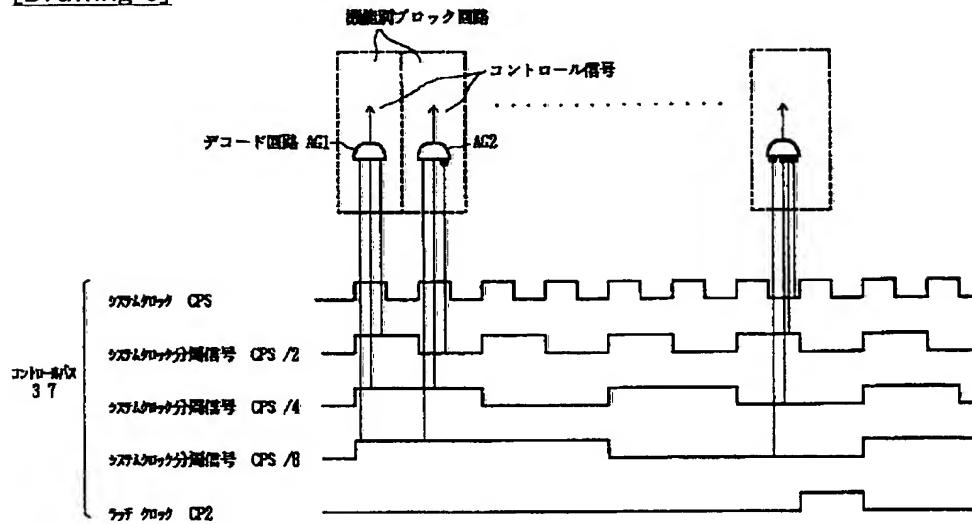
[Drawing 5]



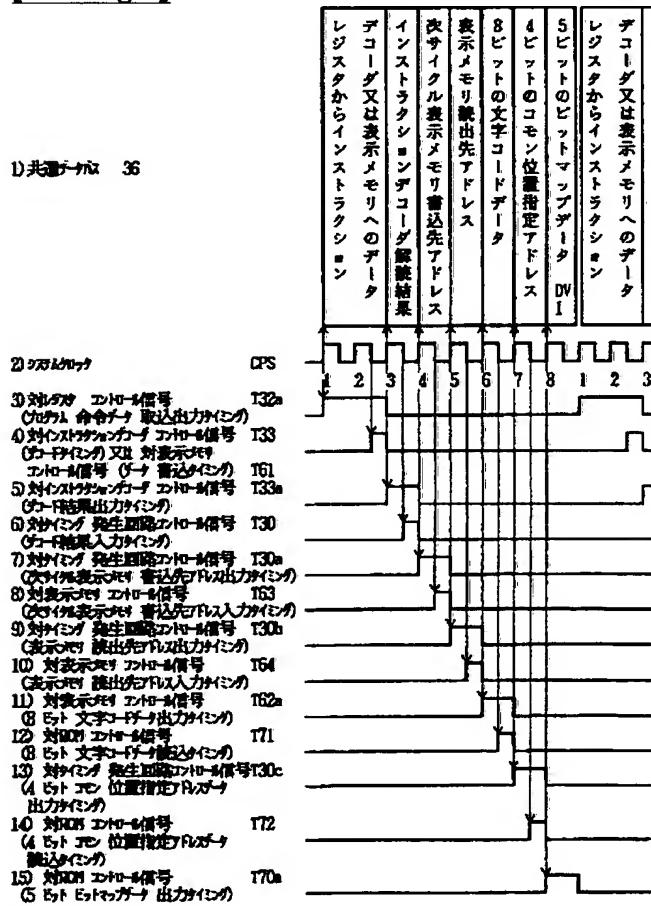
[Drawing 10]



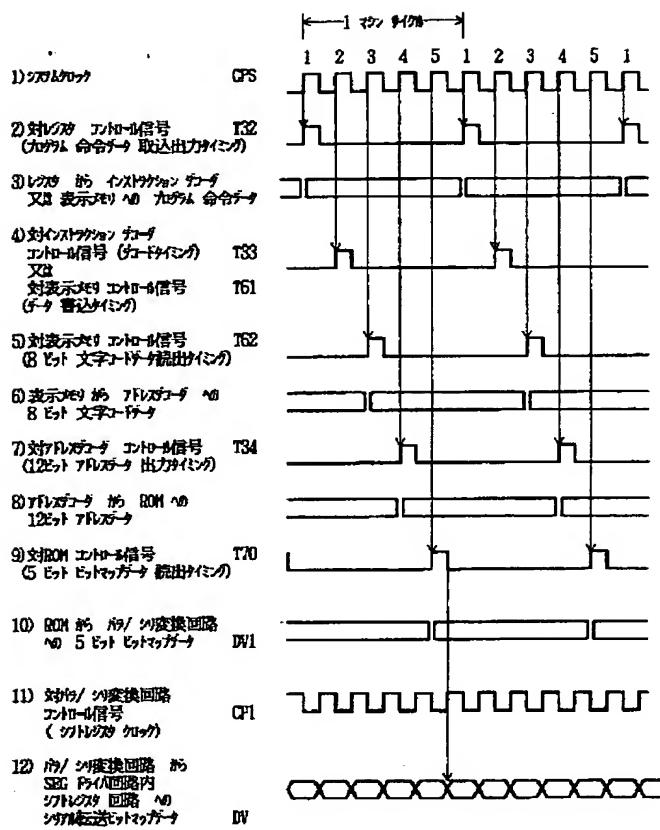
[Drawing 6]



[Drawing 7]

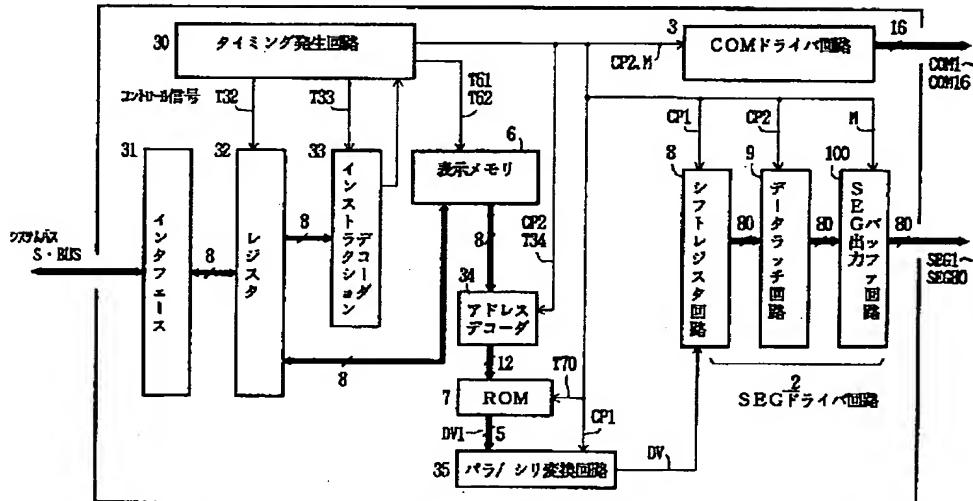


[Drawing 9]

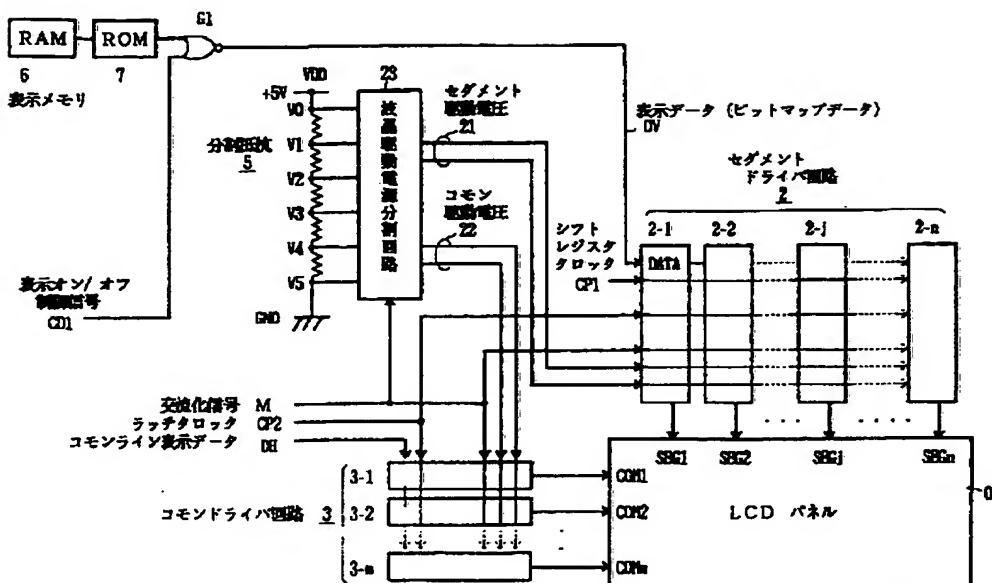


[Drawing 8]

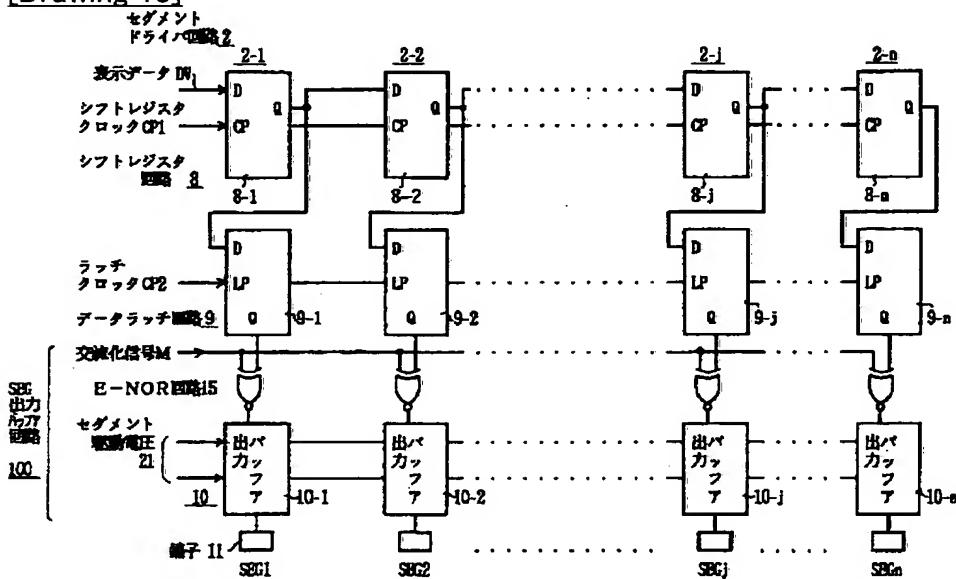
02 LCDコントローラ・ドライバIC



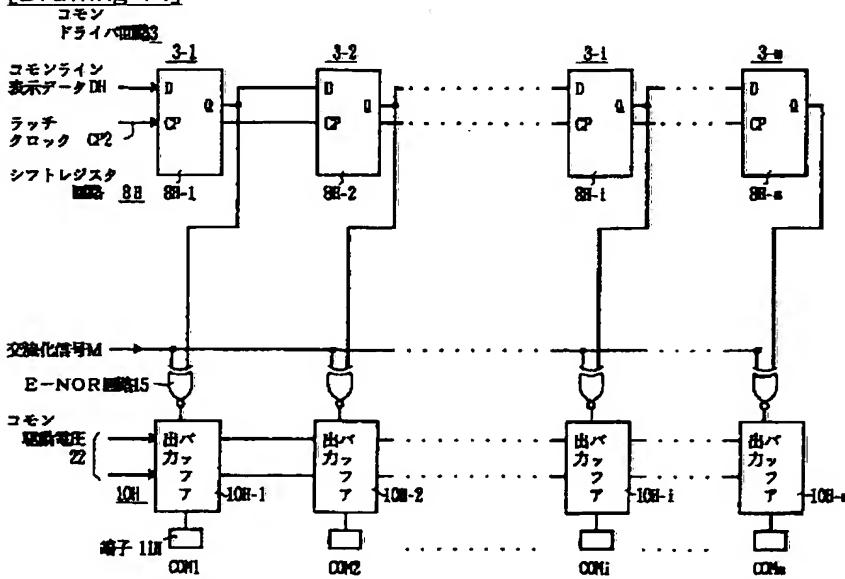
[Drawing 12]



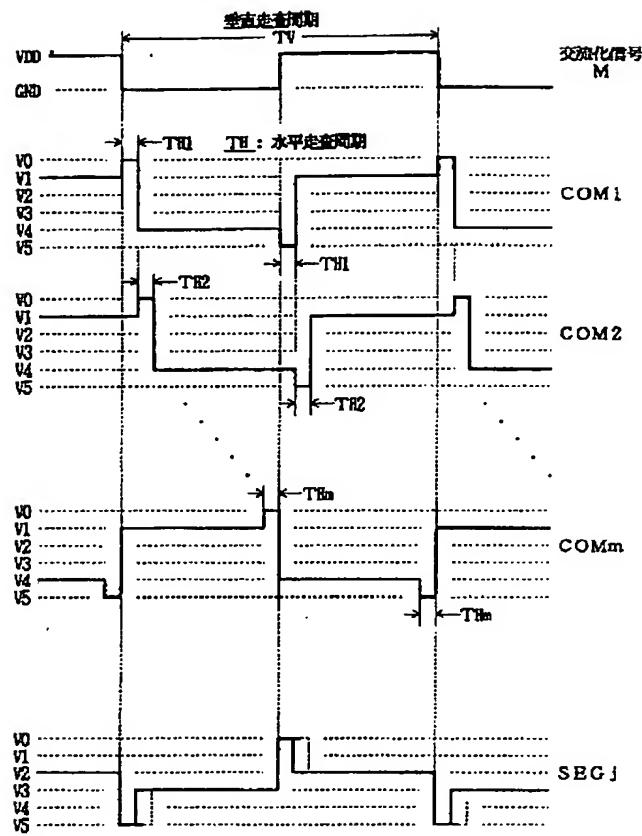
[Drawing 13]



[Drawing 14]



[Drawing 15]



[Translation done.]

(51) Int.Cl.⁶
 G 0 9 G 3/36
 G 0 2 F 1/133

識別記号
 5 4 5

F I
 C 0 9 G 3/36
 C 0 2 F 1/133

5 4 5

審査請求 未請求 請求項の数 3 OL (全 19 頁)

(21)出願番号 特願平9-149008

(22)出願日 平成9年(1997)6月6日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 小林 英登

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

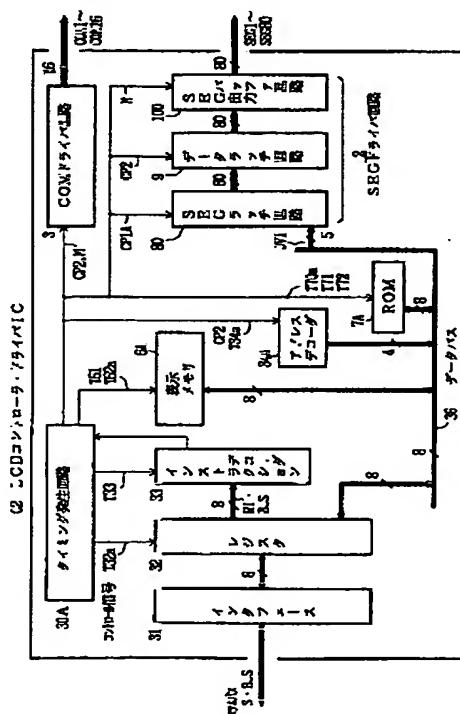
(74)代理人 弁理士 篠部 正治

(54)【発明の名称】 液晶表示制御駆動回路

(57)【要約】

【課題】液晶パネルの表示制御駆動用IC内の各機能別ブロック回路間の配線領域の面積増を防ぎ、ブロック回路配置を自由にしIC面積を減らす。

【解決手段】レジスタ32, 表示メモリ6A, アドレスデコーダ34A, ROM7A, SEGラッチ回路80等の機能別ブロック回路相互間のデータのやり取りを、全て共通のデータバス36を介し、マシンサイクルの中でシステムクロックに同期して時分割で行う。よってLCDコントローラ・ドライバICの面積を減らすために各機能別ブロック回路をIC内部の何処に配置しても、データバスの配線は従来のようにデータを授受するブロック回路間分設ける必要はなく、本例の場合、バスが共通の8本で済み、ICの配線領域の面積増加を防ぐことができる。又SEGドライバ回路への表示データの転送を従来の1ビットずつに対し本例では5ビットずつにすることができ、データ転送速度を下げて消費電流も低減できる。



【特許請求の範囲】

【請求項1】縦方向に走り横方向に並設された複数のセグメント線と、横方向に走り縦方向に並設された複数のコモン線との各交差部に画素を持ち、共にイネーブルに駆動されたセグメント線とコモン線との交差部の画素を点灯する液晶パネルの表示画面の文字配列に対応する表示データを、配列される文字の文字コードで記憶するRAMからなる機能別ブロック回路としての表示メモリと、

前記表示画面に表示されるべき文字の各文字コードに対応するドットマトリクス状のフォントを記憶する機能別ブロック回路としてのROMと、

システムクロックの所定の複数周期からなるマシンサイクルに比例する水平走査周期毎に、前記コモン線をその配列順に且つサイクリックに1つずつ選択して、選択したコモン線をイネーブルに駆動する機能別ブロック回路としてのコモンドライバ回路と、

水平走査周期毎に、表示メモリ内の表示データについての、選択されるコモン線上の画素別の点灯の有無を示すドット表示データを入力して、点灯画素に対応するセグメント線をイネーブルに駆動する機能別ブロック回路としてのセグメントドライバ回路とを少なくとも備え、常時、表示メモリ内の表示データに対応する液晶パネルの画面表示を行い、さらに、

外部のMPUから書き込み要求があった時は、マシンサイクルに同期して、このときMPUから送信される命令データを取込むと共に、命令データ中の表示データとしての文字コードを表示メモリの当該命令データで指定されるアドレスに書き込み液晶パネルの前記画面表示を更新する液晶表示制御駆動回路において、

共通のデータバスを備え、前記命令データの取込みから、セグメントドライバ回路へのドット表示データの入力までに至る表示データの伝達経路上に存在し得る、前記表示メモリ、ROM、セグメントドライバ回路を含む全ての機能別ブロック回路のうち、少なくとも3つ以上の機能別ブロック回路が、その動作に必要なデータを、マシンサイクル毎にシステムクロックに同期し時分割で前記共通データバスを介し相互に授受し得ることを特徴とする液晶表示制御駆動回路。

【請求項2】縦方向に走り横方向に並設された複数のセグメント線と、横方向に走り縦方向に並設された複数のコモン線との各交差部に画素を持ち、共にイネーブルに駆動されたセグメント線とコモン線との交差部の画素を点灯する液晶パネルの表示画面の文字配列に対応する表示データを、配列される文字の文字コードで記憶するRAMからなる機能別ブロック回路としての表示メモリと、

前記表示画面に表示されるべき文字の各文字コードに対応するドットマトリクス状のフォントを記憶する機能別ブロック回路としてのROMと、

システムクロックの所定の複数周期からなるマシンサイクルに比例する水平走査周期毎に、前記コモン線をその配列順に且つサイクリックに1つずつ選択して、選択したコモン線をイネーブルに駆動する機能別ブロック回路としてのコモンドライバ回路と、

水平走査周期毎に、表示メモリ内の表示データについての、選択されるコモン線上の画素別の点灯の有無を示すドット表示データを入力して、点灯画素に対応するセグメント線をイネーブルに駆動する機能別ブロック回路としてのセグメントドライバ回路とを少なくとも備え、常時、表示メモリ内の表示データに対応する液晶パネルの画面表示を行い、さらに、

外部のMPUから書き込み要求があった時は、マシンサイクルに同期して、このときMPUから送信される命令データを取込むと共に、命令データ中の表示データとしての文字コードを表示メモリの当該命令データで指定されるアドレスに書き込み液晶パネルの前記画面表示を更新する液晶表示制御駆動回路において、

少なくともシステムクロック、その分周信号、及び前記水平走査周期を定める信号を伝える共通のコントロールバスを備え、

この液晶表示制御駆動回路内に存在し得る、前記の機能別ブロック回路を含む全ての機能別ブロック回路のうちの少なくとも複数の機能別ブロック回路が、夫々内蔵するコントロール信号デコード手段を介して前記共通コントロールバスの信号を解読し、自身の起動のタイミング及び必要に応じさらにその作動時間を定めるコントロール信号を生成することを特徴とする液晶表示制御駆動回路。

【請求項3】請求項1又は2に記載の液晶表示制御駆動回路において、ICからなることを特徴とする液晶表示制御駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はドットマトリクス型の液晶パネル(LCDパネルとも呼ぶ)を制御駆動する、いわゆるLCDコントローラ・ドライバICなどと呼ばれる回路としての液晶表示制御駆動回路、特にIC内部の機能別ブロック回路間の配線領域の面積の増加を抑え、IC内での機能別ブロック回路の配置を自由にしてICの面積を小さくし、ICのコストを低減できるようにした液晶表示制御駆動回路に関する。

【0002】なお以下各図において同一の符号は同一もしくは相当部分を示す。

【0003】

【従来の技術】図10は12桁2行の文字を表示するドットマトリクス型の液晶パネル(LCDパネル)を含む液晶表示制御駆動回路の概念図である。同図においてO1は画素が縦、横ドットマトリクス状に配置されたLCDパネル、O2はLCDパネルO1の表示制御駆動を行

うLCDコントローラ・ドライバIC、S・BUSは図外のMPUとこのLCDコントローラ・ドライバIC02を結ぶシステムバスである。

【0004】この例ではLCDパネル01は縦方向に走り横方向に並設された60本のセグメント線（データ線ともいう）SEG1～SEG60と、横方向に走り縦方向に並設された16本のコモン線（走査線ともいう）COM1～COM16との各交差部に夫々1ドットの画素を備えており、LCDコントローラ・ドライバIC02にはこれらの各セグメント線及びコモン線を駆動するための同符号の端子が設けられている。

【0005】また03はシステムバスS・BUS内のコントロールバスを介しMPUからこのIC02に与えられるコントロール信号で、このコントロール信号03にはMPUがこのIC02にデータの書き込み、読み出し等の起動をかける動作起動信号としてのイネーブル信号E、MPUがこのIC02に対するデータの読み出し(R)、書き込み(W)を選択指定する信号としてのリード/ライト信号R/Wなどがある。また04は同じくシステムバスS・BUS内のデータバスを介し、このIC02がMPUと授受する（この例では8ビットの）データ信号である。

【0006】このLCDコントローラ・ドライバIC02は、内部にLCDパネル01の表示画面に対応する表示データを文字コードで記憶するRAMとしての表示メモリと、各文字コードを対応するドットマトリクス状のフォントパターン（ビットマップともいう）に変換するROMを備えており、ドットマトリクス状のLCDパネル01の横方向に並ぶ各1行の画素ドットを連ねる2（文字行）×8（ドット/文字行）=16本のコモン線COM1～COM16を1つずつ順次サイクリックに選択して、選択したコモン線上の画素の点灯を可能とする走査駆動信号を出力しつつ、この選択のつど、縦方向に並ぶ各1列の画素ドットを連ねる12（桁）×5（ドット/桁）=60本のセグメント線SEG1～SEG60に、選択されたコモン線上の表示内容に対応するセグメント駆動信号（つまり表示対象画素のみを点灯駆動する信号）を出力することによって、表示メモリの内容に対応するLCDパネル01の画面表示を行う。なお、この画面表示動作をMPUからのアクセスと無関係に常時行う。

【0007】また、LCDコントローラ・ドライバIC02は、この常時の表示出力動作の間に随時、MPUからコントロール信号03や（この例では8ビットのプログラム命令としての）データ信号04を受取り、その受信結果に応じて前記表示メモリの内容を書き換える。このときは前記常時の表示出力動作によりLCDパネル01の画面表示も更新される。

【0008】図11は図10の文字フォント表示マトリクスの構成を示す。この例では1文字（8ビット表示デ

ータ）が横5×縦8ドットで構成されるため、1文字当たりセグメント線が5本、コモン線が8本必要となる。なお、この図11は8ビット文字コード“30H”的表示データの表示例を示す。図12はこの種のLCDコントローラ・ドライバICの主としてLCDパネル01を駆動する機能部分の構成例を示す。同図においてLCDパネル01を除く部分がLCDコントローラ・ドライバICの一部を示している。ここで2(2-1, 2-2～2-j～2-n)は夫々LCDパネル01の表示桁に対応するセグメント線SEG1, SEG2～SEGj～SEGnを駆動するセグメントドライバ回路（SEGドライバ回路とも略記する）、3(3-1, 3-2～3-m)は夫々LCDパネル01の表示行に対応するコモン線COM1, COM2～COMmを駆動するコモンドライバ回路（COMドライバ回路とも略記する）である。

【0009】また、6はLCDパネル01に表示するデータを文字コードの形で持つ前記RAMとしての表示メモリ、7は表示メモリ6から読み出される文字コードに対するドットマトリクス状のフォントパターン（ビットマップ）を記憶する前記のROM、G1は表示メモリ6からLCDパネル01に表示データを送るか否かを定める表示オン/オフ制御信号CD1のオン（Lレベル）時にROM7から図外のパラレル/シリアル変換回路を介して出力されるシリアルの表示データ（ビットマップデータともいう）DVをSEGドライバ回路2-1に与え、表示動作を可能とするNORゲートである。

【0010】5は液晶の電源用に、このICの外部から入力された+5Vの電源VDDをグランドGND(0V)との間で分割する分割抵抗で、IC内部の拡散抵抗やポリシリコン抵抗を用いて作られる。この分割抵抗5の抵抗値はLCDパネル01の大きさによって異なってくるが、この例では2kΩの抵抗5本を直列にして構成されている。ここではこの抵抗の接続点（換言すれば次に述べる液晶駆動電源分割回路23の入力端子、又はその電圧）を+5V側からV0～V5（但しV0=+5V, V5=0V）とする。

【0011】次に23は分割電圧V0～V5を入力し、LCDパネル01の垂直走査周期(TV, 図15参照)を与える交流化信号Mに同期してSEGドライバ回路2に与えるセグメント駆動電圧21、及びCOMドライバ回路3に与えるコモン駆動電圧22を夫々生成する液晶駆動電源分割回路である。この液晶駆動電源分割回路23は交流化信号Mが“L”（グランドGNDレベル）のときは、セグメント駆動電圧21の2本の駆動電圧線に夫々電圧V5とV3を出力し、コモン駆動電圧22の2本の駆動電圧線に夫々電圧V0とV4を出力する。また、交流化信号Mが“H”（電源VDDレベル）のときは、セグメント駆動電圧21の2本の駆動電圧線に夫々電圧V0とV2を出力し、コモン駆動電圧22の2本の駆動電圧線に夫々電圧V5とV1を出力する。

【0012】図15は上から順に交流化信号M、各コモン線COM1, COM2～COMmの駆動電圧の夫々の波形、及び任意のセグメント線(SEGjとする)の駆動電圧の波形の例を示す。ここでTH(TH1, TH2～THm)は後述のラッチクロックCP2の周期に等しい水平走査期間であり、TH1はコモン線COM1による(つまりLCDパネルの最上部の水平ラインの)表示期間としての水平走査期間、同様にTH2, THmは夫々コモン線COM2, COMmによる表示期間としての水平走査期間である。そしてこの各水平走査期間に、LCDパネルの該当する水平ライン上の画素の表示(点灯)が行われる。

【0013】図12を参照しつつ図15を説明すると、COMドライバ回路3-1はコモンライン表示データDH, ラッチクロックCP2, 交流化信号M及びコモン駆動電圧22を入力し、交流化信号Mの立下がり時点から水平走査期間TH1の間は電圧V0(イネーブル)を、以後交流化信号Mの立上がり時点までは電圧V4(ディスイネーブル)を、また交流化信号Mの立上がり時点から水平走査期間TH1の間は電圧V5(イネーブル)を、以後交流化信号Mの立下がり時点までは電圧V1(ディスイネーブル)を順次切替えてコモン線COM1に出力する。この波形は交流化信号Mの“L”(GNDレベル)の領域と“H”(VDDレベル)の領域とで正逆反転した波形となる。

【0014】同様にCOMドライバ回路3-2～3-mはコモン駆動電圧22, 交流化信号M及びラッチクロックCP2を入力し、コモン線COM1と同形状で位相が水平走査期間TH2づつシフトした(つまり当該の水平走査期間に交流化信号Mが“L”の領域では電圧V0、交流化信号Mが“H”の領域では電圧V5となるような)波形の切替電圧を夫々コモン線COM2～COMmに出力する。

【0015】図14はCOMドライバ回路3(3-1～3-m)の構成例を示す。同図において8H-1, 8H-2～8H-i～8H-mは全体としてm段(mビット)のシフトレジスタを構成するDフリップフロップ(なおDフリップフロップをDFFとも略記する)、15はE-NOR回路、10H(10H-1, 10H-2～10H-i～10H-m)は出力バッファである。

【0016】ここで縦一列に並ぶDフリップフロップ8H-1, E-NOR回路15及び出力バッファ10H-1の組が図12のコモン線COM1を駆動するCOMドライバ回路3-1に相当し、同様に縦一列に並ぶDフリップフロップ8H-m, E-NOR回路15及び出力バッファ10H-mの組が図12のコモン線COMmを駆動するCOMドライバ回路3-mに相当する。

【0017】なお、縦一列に並ぶDフリップフロップ8H-i, E-NOR回路15及び出力バッファ10H-iの組は一般的なコモン線COMiを駆動するCOMド

ライバ回路3-iを示している。シフトレジスタ回路8Hの入力段のDフリップフロップ8H-1には、このIC内の図外のタイミング回路から交流化信号Mの立下がりの時点ごとに“表示(点灯)”を指定するコモンライン表示データDHが与えられ、ラッチクロックCP2によって読み込まれる。そしてこの読み込みが済むとコモンライン表示データDHは“非表示(非点灯)”に切換わり、以後、次の交流化信号Mの立下がり時点までこの状態を保つ。

【0018】ラッチクロックCP2は各段のDフリップフロップ8H-1～8H-mに共通に入力され、以後ラッチクロックCP2に同期してこの“表示”的モード表示データDHがDフリップフロップ8H-1から8H-mに向かって順番1段づつシフトされる。各E-NOR回路15は対応するシフトレジスタ回路8HのDフリップフロップの表示データ出力Qと交流化信号MとのE-NOR条件を求めて、その出力15aを出力バッファ10H-1～10H-mに与える。

【0019】各出力バッファ10H-1～10H-mには前述のコモン駆動電圧22が共通に入力されており、各出力バッファ10H-1～10H-mの出力端子11H(つまり各コモン線COM1～COMmの駆動端)には、E-NOR出力15aに応じて選択されたコモン駆動電圧22(の2つの電圧の1つ)が出力される。この例では交流化信号Mが“L”的期間、当該Dフリップフロップの表示データ出力Qが“表示”的場合(つまり当該コモン線による表示期間としての水平走査期間)には、当該出力バッファ10Hの出力端子11Hには電圧V0(イネーブル)が出力され、当該Dフリップフロップの表示データ出力Qが“非表示”的場合には電圧V4(ディスイネーブル)が出力される。

【0020】同様に交流化信号Mが“H”的期間、当該Dフリップフロップの表示データ出力Qが“表示”的場合には、当該出力バッファの出力端子11Hには電圧V5(イネーブル)が出力され、同じく“非表示”的場合には電圧V1(ディスイネーブル)が出力される。このようにして図15のコモン線COM1～COMmの駆動電圧波形が生成されることになる。

【0021】図13はSEGドライバ回路2(2-1～2-n)の構成例を示す。同図において8-1, 8-2～8-j～8-nは全体としてn段(nビット)のシフトレジスタ回路8を構成するDフリップフロップで9-1, 9-2～9-j～9-nは全体としてデータラッチ回路9を構成するDフリップフロップ、15はE-NOR回路、10(10-1, 10-2～10-j～10-n)は出力バッファ回路である。

【0022】ここで縦一列に並ぶDフリップフロップ8-1, 9-1, E-NOR回路15及び出力バッファ10-1の組が図12のセグメント線SEG1を駆動するSEGドライバ回路2-1に相当し、同様に縦一列に並

ぶDフリップフロップ8-n, 9-n, E-NOR回路15及び出力バッファ10-nの組が図12のセグメント線SEGnを駆動するSEGドライバ回路2-nに相当する。

【0023】なお、縦一列に並ぶDフリップフロップ8-j, 9-j, E-NOR回路15及び出力バッファ10-jの組は一般的なセグメント線SEGjを駆動するSEGドライバ回路2-jを示している。シフトレジスタ回路8の入力段のDフリップフロップ8-1には図12のROM7側から出力されるシリアルの表示データ(ビットマップデータ)DVが入力され、各水平走査期間THの始めに、Dフリップフロップ8-1～8-nに共通に入力されるシフトレジスタクロックCP1に同期して、Dフリップフロップ8-1から8-nに向けて表示データDVが順番にシフトされる。このシフトによる新たな一連の表示データDVが各Dフリップフロップ8-1～8-nに行きわたった時点で、データラッチ回路9の各Dフリップフロップ9-1～9-nに共通にラッチクロックCP2が入力され、シフトレジスタ回路8の各Dフリップフロップ8-1～8-nの表示データ出力Qが夫々対応するデータラッチ回路9の各Dフリップフロップ9-1～9-nにラッチされる。

【0024】即ちデータラッチ回路9の各Dフリップフロップ9-1～9-nの出力端子Qには当該の水平走査期間に、対応するセグメント線上の画素を表示(点灯)するか否かの表示データがラッチ出力されることになる。各E-NOR回路15はデータラッチ回路9の上述のセグメント線別の表示データ出力Qと交流化信号MとのE-NOR条件を求める、その出力15aを出力バッファ10-1～10-nに与える。

【0025】各出力バッファ10-1～10-nには前述のセグメント駆動電圧21が共通に入力されており、各出力バッファ10-1～10-nの出力端子11(つまり各セグメント線SEG1～SEGnの駆動端)には、E-NOR出力15aに応じて選択されたセグメント駆動電圧21(の2つの電圧の1つ)が出力される。この例では交流化信号Mが“L”的期間、当該画素を“表示(点灯)”する場合には当該出力バッファ10の出力端子11には電圧V5(イネーブル)が出力され、“非表示(非点灯)”の場合には電圧V3(ディスイネーブル)が出力される。同様に交流化信号Mが“H”的期間、当該画素を“表示”する場合には当該出力バッファの出力端子11には電圧V0(イネーブル)が出力され、“非表示”的場合には電圧V2(ディスイネーブル)が出力される。

【0026】図15のセグメント線SEGjの波形の例では、この実線の波形はコモン線COM1の水平走査期間TH1にのみ、当該セグメント線SEGjとコモン線COM1との交点の画素が表示され、このセグメント線SEGj上の他の画素は全て非表示である場合を示して

いる。ここでコモン線COM2の水平走査期間TH2においても、当該セグメント線SEGj上の画素を表示する場合、点線部の波形が付加される。なお、このセグメント線SEGjの駆動波形も交流化信号Mの“L”, “H”に対応して正反転の波形となる。

【0027】図8は主としてLCDコントローラ・ドライバIC02が外部のMPUから表示データを含むプログラム命令を受信して内部の表示メモリに表示データを書き込み、また表示メモリの内容をLCDパネル01に出力すべきセグメント駆動信号に変換する間の表示データの経路に関わる、同IC02の内部のブロック図である。なおこの例では、このLCDコントローラ・ドライバIC02は、図10の場合と同様に図11に示した5×8ドットのフォントパターンで表される文字を表示する図外のLCDパネルを駆動するものとし(但し図8では表示文字数は16桁×2行)、このLCDパネルとは文字桁16×5(本/桁)=80本からなるセグメント線SEG1～SEG80、及び文字行2×8(本/行)=16本からなるコモン線COM1～COM16を介して接続される。

【0028】図8において30は図12等で述べた交流化信号M、シフトレジスタクロックCP1、ラッチクロックCP2や、図9で詳述するT32、T33等の動作タイミング指示用のコントロール信号のほか、各種のコントロール信号を生成してこのIC内の各関係ブロック回路に供給したり、表示メモリ6に対しアドレス信号を出力したりするタイミング発生回路、31は図外の外部MPUとデータバス及びコントロールバスからなるシステムバスS·BUSを介して接続されるバスインターフェース、32はインターフェース31を介して入力した(この例では8ビットの)プログラム命令を一時記憶するレジスタ、33はこのレジスタ32に格納されたプログラム命令を解読するインストラクションデコーダである。

【0029】6は図12で述べたRAMに相当する表示メモリで、前記プログラム命令に含まれる表示データ(文字コードからなる)をLCDパネル01の1表示画面分(この例では文字数にして16桁×2行分)記憶する。また、7は同じく図12で述べたと同様に、この例では各文字コードに対応する5×8ドットのフォントパターンを記憶するROMである。

【0030】34は表示メモリ6から文字コードを、タイミング発生回路30からラッチクロックCP2や後述の起動コントロール信号T34を入力し、当該の水平走査周期THに表示すべき文字ごとに、そのフォントパターンを当該の走査ライン(横1ライン)5ビット分づつROM7から出力させるアドレス信号をROM7に対して発生するアドレスデコーダである。このためアドレスデコーダ34は表示メモリ6から読出された(文字指定用のアドレスとしての)文字コード8ビットに、文字行2×8=16本の走査線(コモン線)の1つを順番に指

定するためにラッチクロックCP2から生成した4ビットのアドレス(コモン位置指定アドレスという)を加えた12ビットのアドレス信号をROM7に与える。

【0031】また35はROM7から出力される5ビットのフォントパターンデータ(便宜上、ビットマップデータDV1とする)を図12で述べたSEGドライバ回路2に対するシリアルの表示データ(ビットマップデータ)DVに変換するパラレル/シリアル変換回路(パラ/シリ変換回路とも略す)である。図8のSEGドライバ回路2は図13においてセグメント線をSEG1からSEG80までの出力数n=80本とした場合と同様の構成を持つものとし、ここでシフトレジスタ回路8は継続接続されたDフリップフロップ8-1~8-80からなり、同様にデータラッチ回路9はDフリップフロップ9-1~9-80からなる。

【0032】またセグメント出力バッファ回路(SEG出力バッファ回路とも略記する)100は図13においてn=80とした場合の80段分のE-NOR回路15と出力バッファ回路10(10-1~10-80)に相当する機能部分であるものとする。また図8のCOMドライバ回路3は図14においてコモン線をCOM1からCOM16までの出力数m=16本とした場合と同様の構成を持つものとする。

【0033】図9は図8の要部の動作を示すタイムチャートである。図9において、1)はタイミング発生回路30において生成されるシステムクロックCPSを示す。なお、ここではシステムクロックCPSの1クロック目から5クロック目までの5クロック分を1マシンサイクルとして動作するものとし、この各クロックパルスには1から5までの夫々のクロック番号が付されている。

【0034】2)はタイミング発生回路30からレジスタ32に与えられるコントロール信号で、レジスタ32がインタフェース31を介しシステムバスS·BUS側からのプログラム命令を取り込み、インストラクションデコーダ33側または表示メモリ6側へ、この取り込んだデータを保持出力するタイミングを定めるコントロール信号T32を示す。

【0035】3)はレジスタ32からインストラクションデコーダ33又は表示メモリ6に出力されるデータを示す。4)はタイミング発生回路30からインストラクションデコーダ33に与えられるコントロール信号で、デコーダ33がレジスタ32の出力する(プログラム命令内の)命令コードを取り込みデコードするタイミングを定めるコントロール信号T33、又は表示メモリ6に与えられるコントロール信号で、表示メモリ6がレジスタ32の出力する(プログラム命令内の)文字コードデータを取り込むタイミングを定めるコントロール信号T61を示す。

【0036】5)はタイミング発生回路30から表示メ

モリ6に与えられるコントロール信号で、表示メモリ6が文字コードデータ(ROM7に対するアドレスデータ)を読み出し出力するタイミングを定めるコントロール信号T62を示す。6)は表示メモリ6からアドレスデータコード34に出力される8ビットの文字コードデータを示す。

【0037】7)はタイミング発生回路30からアドレスデータコード34に与えられるコントロール信号で、アドレスデータコード34がROM7へ前記した12ビットのアドレスデータを出力するタイミングを定めるコントロール信号T34を示す。8)はアドレスデータコード34からROM7に出力される12ビットのアドレスデータを示す。

【0038】9)はタイミング発生回路30からROM7に与えられるコントロール信号で、ROM7が5ビットのビットマップデータDV1を出力するタイミングを定めるコントロール信号T70を示す。10)はROM7からパラ/シリ変換回路35に出力される5ビットのビットマップデータDV1を示す。

【0039】11)はタイミング発生回路30からパラ/シリ変換回路35に与えられるコントロール信号で、パラ/シリ変換回路35がシリアル変換データを出力するタイミングを定めるコントロール信号としてのシフトレジスタロックCP1を示す。12)はパラ/シリ変換回路35からSEGドライバ回路2に出力されるシリアル転送の表示データとしてのビットマップデータDVを示す。

【0040】なお、図9のコントロール信号T32、T33、T61は外部MPUから(表示データを送り表示メモリ6へ書き込みを行う旨の)コントロール信号O3が送られた時(MPUの書き込みモード時)にのみ生成され、図9の上記コントロール信号を除くコントロール信号はLCDパネルO1の常時の表示動作のために常時生成される。

【0041】図9を参照しつつ図8の動作を説明すると、タイミング発生回路30からのコントロール信号T32に同期してレジスタ32は、図外の外部MPUから(その書き込みモード時に)インタフェース31を介して入力した(前記データ信号O4としての)8ビットのプログラム命令を1マシンサイクルに等しい期間、保持し、同時にこの保持データを、当該のマシンサイクルが一連のプログラム命令のうちのインストラクションコードを解読すべきマシンサイクル(命令解読サイクルと呼ぶ)の場合には、別途タイミング発生回路30から与えられるコントロール信号(図外)に従ってインストラクションデコーダ33へ出力する。

【0042】他方、当該のマシンサイクルがプログラム命令のうちのインストラクションコード(命令コード)に続く表示データとしての文字コードの送信されるマシンサイクル(表示データ書き込みサイクルと呼ぶ)の場合

には、次に述べるインストラクションデコーダ33の先の解読結果に基づいて別途タイミング発生回路30から与えられるコントロール信号(図外)に従い表示メモリ6へ出力する。

【0043】命令解読サイクルの場合、インストラクションデコーダ33はコントロール信号T33に同期してレジスタ32からの命令コードを取り込んで解読し、この解読結果をタイミング発生回路30に送る。これにより必要な指示がタイミング発生回路30から関係するブロック回路に与えられることになる。なお、インストラクションコードでMPUから指示される命令には例えば“表示せよ”，“消せ”，“反転せよ”等がある。そしてこの命令が表示データを伴う場合、タイミング発生回路30は続くマシンサイクルを表示データ書き込みサイクルとするコントロール信号をレジスタ32、表示メモリ6等に与える。

【0044】このようにして表示データ書き込みサイクルの場合には、表示メモリ6はコントロール信号T61に同期しレジスタ32からの文字コードを読み込み、先のインストラクションコードの解読結果により、タイミング発生回路30から与えられる図外のコントロール信号で指定されるアドレスに格納する。次に表示メモリ6はコントロール信号T62に同期し、自身内の8ビットの文字コードデータのうち、タイミング発生回路30から別途与えられる図外のコントロール信号によって指定される位置にある8ビットの文字コードデータを読出し、1マシンサイクルに等しい期間、アドレスデコーダ34へ出力する。これによりアドレスデコーダ34はコントロール信号T34に同期し、ROM7に対し前述のように文字コードデータ8ビットに、4ビットのコモン位置指定アドレスを加えた12ビットのアドレスデータを1マシンサイクルに等しい期間、出力する。

【0045】次にROM7はコントロール信号T70に同期し、アドレスデコーダ34からのアドレスデータで指定された、8ビットの表示データ(文字)についての5×8ドットのフォントデータの内の一走査線分(5ビットのビットマップデータ)DV1を1マシンサイクルに等しい期間、出力する。これによりパラ/シリ変換回路35はコントロール信号としてのシフトレジスタクロックCP1に同期し、このROM7からの5ビットのビットマップデータDV1をシリアルのビットマップデータDVに変換しつつ、SEGドライバ回路2のシフトレジスタ回路8へ転送する。

【0046】このような動作の繰り返しによってLCDパネルの1走査線分(文字16桁×5(ビット/桁)=80ビット)のシリアルのビットマップデータDVが、1ビットずつシフトレジスタ回路8の全てのDフリップフロップの各々に行きわたる毎に、このビットマップ表示データDVはデータラッチ回路9にラッチされ、セグメント出力バッファ回路100によってセグメント線S

EG1～SEG80に上記ラッチされたビットマップデータに対応するセグメント駆動信号が出力され、同時にコマンドライバ回路3のコモン線から出力される該当走査ラインのコモン駆動信号によってLCDパネルの当該コモン線上の画素表示が行われる。そして、この動作が(1垂直走査周期TVの1/2)=1フレーム周期ごとに全コモン線COM1～COM16分(16回)繰り返され、1垂直走査周期TVの前半と後半の2フレーム周期でLCDパネルの1画面分の表示が完了する。

【0047】

【発明が解決しようとする課題】ところで図8に示す構成では、レジスタ32からパラ/シリ変換回路35に至る間において、矢印付きの太線で示すような各機能別ブロック回路を結ぶデータバスの配線が多く、更にICのコストを低減するために、元来大きさの異なる機能別ブロック回路をLCDコントローラ・ドライバIC全体の面積を小さくするように配置した場合、信号の伝達経路が長くなり、信号線を引き回すための配線の面積が大きくなり、ICのコスト低減を計るのに逆行するという問題がある。

【0048】そこで本発明はこの問題を解消できる液晶表示制御駆動回路を提供することを課題とする。

【0049】

【課題を解決するための手段】前記の課題を解決するために、縦方向に走り横方向に並設された複数のセグメント線(SEG1, SEG2, など)と、横方向に走り縦方向に並設された複数のコモン線(COM1, COM2など)との各交差部に画素を持ち、共にイネーブルに駆動されたセグメント線とコモン線との交差部の画素を点灯する液晶パネル(01)の表示画面の文字配列に対応する表示データを、配列される文字の文字コードで記憶するRAMからなる機能別ブロック回路としての表示メモリ(6Aなど)と、前記表示画面に表示されるべき文字の各文字コードに対応するドットマトリクス状のフォントを記憶する機能別ブロック回路としてのROM(7Aなど)と、システムクロック(CPS)の所定の複数周期からなるマシンサイクルに比例する水平走査周期

(TH)毎に、前記コモン線をその配列順に且つサイクリックに1つずつ選択して、選択したコモン線をイネーブルに駆動する機能別ブロック回路としてのコマンドライバ回路(3)と、水平走査周期毎に、表示メモリ内の表示データについての、選択されるコモン線上の画素別の点灯の有無を示すドット表示データを入力して、点灯画素に対応するセグメント線をイネーブルに駆動する機能別ブロック回路としてのセグメントドライバ回路

(2)とを少なくとも備え、常時、表示メモリ内の表示データに対応する液晶パネルの画面表示を行い、さらに、外部のMPUから書き込み要求があった時は、(インターフェース31, レジスタ32, インストラクションデコーダ33などを介し)マシンサイクルに同期して、こ

のとき M P U から送信される命令データを取込むと共に、命令データ中の表示データとしての文字コードを表示メモリの当該命令データで指定されるアドレスに書き込み液晶パネルの前記画面表示を更新する液晶表示制御駆動回路において、請求項 1 の液晶表示制御駆動回路は、共通のデータバス (36) を備え、前記命令データの取込みから、セグメントドライバ回路へのドット表示データの入力までに至る表示データの伝達経路上に存在し得る、前記表示メモリ、ROM、セグメントドライバ回路を含む全ての機能別ブロック回路のうち、少なくとも 3つ以上の機能別ブロック回路が、その動作に必要なデータを、マシンサイクル毎にシステムクロックに同期し時分割で前記共通データバスを介し相互に授受し得るようとする。

【0050】また、請求項 2 の液晶表示制御駆動回路は、少なくともシステムクロック (CPS)、その分周信号 (CPS/2, CPS/4 など)、及び前記水平走査周期を定める信号 (ラッチクロック CP 2 など) を伝える共通のコントロールバス (37) を備え、この液晶表示制御駆動回路内に存在し得る、前記の機能別ブロック回路を含む全ての機能別ブロック回路のうちの少なくとも複数の機能別ブロック回路が、夫々内蔵するコントロール信号デコード手段 (AND ゲート AG 1, AG 2 など) を介して前記共通コントロールバスの信号を解読し、自身の起動のタイミング及び必要に応じさらにその作動時間を定めるコントロール信号 (T32a, T33 など) を生成するようとする。

【0051】また請求項 3 の液晶表示制御駆動回路は、請求項 1 又は 2 に記載の液晶表示制御駆動回路において、I C からなるようとする。

【0052】

【発明の実施の形態】

(実施の形態 1) 図 1 は請求項 1 に関する発明 (以下第 1 発明という) の一実施例としての LCD コントローラ・ドライバ I C の内部構成を示すブロック図で、この図は図 8 に対応している。図 1 においては図 8 に対しタイミング発生回路 30、表示メモリ 6、アドレスデコーダ 34、ROM 7、シフトレジスタ回路 8 が夫々タイミング発生回路 30A、表示メモリ 6A、アドレスデコーダ 34A、ROM 7A、セグメントラッチ回路 (SEG ラッチ回路とも略記する) 80 に置き換わると共に、パラノシリ変換回路 35 が省略され、さらにレジスタ 32、表示メモリ 6A、アドレスデコーダ 34A、ROM 7A、及び SEG ラッチ回路 80 に接続される 8 ビットの共通のデータバス 36 が新設されている。そしてこの共通データバス 36 は、レジスタ 32、表示メモリ 6A、ROM 7A とは夫々全ライン 8 ビット分が双方方向バスを介して接続され、またデコーダ 34A とは 8 ビット中の 4 ビットのラインが、また SEG ラッチ回路 80 とは 8 ビット中の 5 ビットのラインが夫々单方向バスを介して

接続されている。

【0053】ここでタイミング発生回路 30A の機能は図 2 に詳述するコントロール信号を生成する点の他は図 8 のタイミング発生回路 30 と略同じである。アドレスデコーダ 34A は、図 8 のアドレスデコーダ 34 の機能の一部、即ちタイミング発生回路 30A からラッチクロック CP 2 や起動コントロール信号 T34a を入力し、当該の水平走査周期 TH に表示すべき文字毎に、そのフォントパターン内の当該の走査ライン (横 1 ライン) 上の 5 ビットのビットマップデータ DV1 ずつ ROM 7 から出力させるために、文字行 $2 \times 8 = 16$ 本の走査線の 1 つを順番に指定するための 4 ビットのコモン位置指定アドレスを発生する機能のみを持つ。

【0054】また SEG ラッチ回路 80 は、図 3 で詳述するようにセグメント線 SEG1 ~ SEG80 に夫々対応する全 80 個のラッチ回路を内蔵しており、マシンサイクル毎にデータバス 36 上に出力される 5 ビットパラレルの表示データ (ビットマップデータ) DV1 を、現に指定されているコモン線上の全文字数分 (つまり全 80 ビット)、順次この 80 個のラッチ回路に取り込む役割を持つ。

【0055】図 2 は図 1 の要部動作説明用のタイムチャートである。図 2において、1) はデータバス (命令コードを除き共通データバス 36) 上のデータ、2) はタイミング発生回路 30A において生成される図 9 と同様なシステムクロック CPS を夫々示す。なお、ここでもシステムクロック CPS の 5 クロックを 1 マシンサイクルとして動作する。つまりこの液晶表示制御駆動回路は 5 ステート 1 マシンサイクルの装置である。

【0056】次に 3) はタイミング発生回路 30A からレジスタ 32 に与えられるコントロール信号で、レジスタ 32 が外部の M P U から送られたデータ (プログラム命令) を取込むタイミングと、そのデータを保持しデータバス (インストラクションデコーダ 33 向けのデータバス R I · B U S 又は共通データバス 36) に送出する期間を定めるコントロール信号 T32a を示す。

【0057】4) はタイミング発生回路 30A からインストラクションデコーダ 33 に与えられるコントロール信号で、インストラクションデコーダ 33 がレジスタ 32 の出力する命令コードを取り込みデコードするタイミングを定めるコントロール信号 T33、又は表示メモリ 6A に与えられるコントロール信号で、表示メモリ 6A が共通データバス 36 上の文字コードデータを取り込むタイミングを定めるコントロール信号 T61 を示す。なお、このコントロール信号 T33 及び T61 は夫々図 9 の同符号の信号と同等の役割を持つ。

【0058】5) はタイミング発生回路 30A から表示メモリ 6A に与えられるコントロール信号で、表示メモリ 6A が共通データバス 36 へ文字コードデータを送出するタイミングと期間を定めるコントロール信号 T62

aを示す。6)はタイミング発生回路30AからROM7Aに与えられるコントロール信号で、ROM7Aが共通データバス36上の表示メモリ6Aからの8ビット文字コードとしてのアドレスデータを読込むタイミングを定めるコントロール信号T71を示す。

【0059】7)はタイミング発生回路30Aからアドレスデコーダ34Aに与えられるコントロール信号で、アドレスデコーダ34Aが4ビットのコモン位置指定アドレスデータをデータバス36に送出するタイミングと期間を定めるコントロール信号T34aを示す。8)はタイミング発生回路30AからROM7Aに与えられるコントロール信号で、ROM7Aがデータバス36上のアドレスデコーダ34Aからの4ビットのコモン位置指定アドレスデータを読込むタイミングを定めるコントロール信号T72を示す。

【0060】9)はタイミング発生回路30AからROM7Aに与えられるコントロール信号で、ROM7Aがデータバス36へ文字フォント内の5ビットの表示データ(ビットマップデータ)DV1を送出するタイミングと期間を定めるコントロール信号T70aを示す。なお、図2のコントロール信号T32a, T33, T61は外部MPUによる、このIC02への書込みモード時にのみ生成され、図2のこのコントロール信号を除くコントロール信号はLCDパネルの常時の表示動作のために常時生成される。

【0061】本発明ではLCDコントローラ・ドライバIC02の動作は基本的には従来と同様であるが、レジスタ32, 表示メモリ6A, デコーダ34A, ROM7A, SEGラッチ回路80のデータのやり取りを、全て共通のデータバス36を介して時分割で行うため、データ転送の経路やタイミングに差異を生ずる。次に図2を参照しつつ図1の動作を説明する。先ず、システムクロックCPSの1クロック目の立上がりにおいては、レジスタ32はコントロール信号T32aに同期し、インターフェース31を介して図外の外部MPUから入力した8ビットのプログラム命令を取込むと共に、コントロール信号T32aの“H”の期間、この取込んだプログラム命令を、当該のマシンサイクルが命令解読サイクルの場合には、従来と同様にタイミング発生回路30Aから別途与えられる図外のコントロール信号に従い、インストラクションデコーダ33へ向けデータバスRI・BUS上へ出力し、また表示データ書込みサイクルの場合には同じく図外のコントロール信号に従い、表示メモリ6Aへ向け共通データバス36上へ出力する。

【0062】これによりシステムクロックの2クロック目の立上がりにおいて、従来と同様に、命令解読サイクルの場合にはインストラクションデコーダ33がコントロール信号T33に同期し、レジスタ32が出力するデータバスRI・BUS上のプログラム命令を読み解読して、その解読結果をタイミング発生回路30Aに伝

え、また表示データ入力サイクルの場合には表示メモリ6Aがコントロール信号T61に同期し、データバス36上のプログラム命令としての文字コードを、タイミング発生回路30Aから別途与えられる図外のコントロール信号で指定されるアドレス(書込み先アドレス)に読み込む。

【0063】システムクロックの3クロック目の立上がりにおいては、表示メモリ6Aはコントロール信号T62aに同期し、この信号T62aの“H”的期間、保持するデータ(文字コード)のうち、タイミング発生回路30Aから別途与えられる図外のコントロール信号で指定されるアドレス(読み出し先アドレス)にある文字コード8ビットを文字指定用のアドレスデータとして、ROM7Aへ向け共通データバス36上へ出力する。

【0064】これにより、システムクロックの3クロック目の立下がりにおいて、コントロール信号T71に同期しROM7Aが、データバス36上の8ビットの文字コードを読み込む。次にシステムクロックの4クロック目の立上がりにおいては、アドレスデコーダ34Aはコントロール信号T34aに同期し、この信号T34aの“H”的期間、前記のように4ビットのコモン位置指定アドレスデータをROM7Aに向け共通データバス36上へ出力する。

【0065】これによりシステムクロックの4クロック目の立上がりにおいて、コントロール信号T72に同期しROM7Aが、データバス36上の4ビットのコモン位置指定アドレスデータを読み込む。システムクロックの5クロック目の立上がりにおいては、ROM7Aはコントロール信号T70aに同期し、この信号T70aの“H”的期間、先に入力した文字指定用のアドレスデータ8ビットと、今回のアドレスデコーダ34Aからのコモン位置指定アドレスデータ4ビットとに基づいて、該当文字フォント内の5ビットの表示データ(ビットマップデータ)DV1をSEGラッチ回路80に向け共通データバス36上へ出力する。

【0066】図3は図1におけるSEGドライバ回路2の構成の実施例を示す。但し図3にはセグメント線SEG1～SEG10に対応する回路部分のみを示す。また、図4は図3の要部動作のタイミングを示す。図3においてDFFFと記されたブロック回路80a-1, 80a-2, …は全体としてシフトレジスタ回路を構成するDフリップフロップ、またLATCHと記されたブロック回路80b-1, 80b-2, …は例えばDフリップフロップからなり、各セグメント線SEG1, SEG2, …に夫々対応するラッチ回路である。また同じくLATCHと記されたブロック回路9-1, 9-2, …は夫々図13の同符号のDフリップフロップに相当し、各セグメント線SEG1, SEG2, …に夫々対応するラッチ回路で、全体として図13と同様なデータラッチ回路9を構成する。

【0067】次にLSと記されたブロック回路101-1, 101-2, . . . は夫々各セグメント線SEG1, SEG2, . . . に対応して設けられ、前段のラッチ回路9-1, 9-2, . . . の5Vと0Vのレベルからなる出力信号を5Vと-5Vのレベルからなる信号に変換するレベルシフタ回路(一括した符号を101とする)、また4L. SELECTと記されたブロック回路102-1, 102-2, . . . は夫々各セグメント線SEG1, SEG2, . . . に対応して設けられ、前段のレベルシフタ回路101-1, 101-2, . . . の出力電圧に応じ、別途入力する4つの電圧レベル5V, 1V, -1V, -5Vの1つを選択する出力レベル選択回路(一括した符号を102とする)である。

【0068】図3の回路では、図12の液晶駆動電源分割回路23に相当する回路の入力する電位V0, V1, V2, V3, V4, V5に対応する電圧レベルが夫々5V, 3V, 1V, -1V, -3V, -5Vとなるように構成されているので、上記レベルシフタ回路101-1, 101-2, . . . および出力レベル選択回路102-1, 102-2, . . . からなるSEG出力バッファ回路100は、図13のE-NOR回路15及び出力バッファ10からなる回路と等価である。

【0069】図3においてSEGラッチ回路80は、各セグメント線SEG1, SEG2, . . . に夫々対応する縦一列の駆動回路の最上段に位するラッチ回路80b-1, 80b-2, . . . と、セグメント線の配列順に並ぶ5つずつの、このラッチ回路(80b-1~80b-5), (80b-6~80b-10), . . . の組毎に1つずつ設けられたDフリップフロップ80a-1, 80a-2, . . . とからなる横一列のブロック回路群として構成されている。

【0070】上記5つずつのラッチ回路(80b-1~80b-5), (80b-6~80b-10), . . . のデータ入力端子は共通データバス36のうち、ROM7Aからの5ビット表示データ(ビットマップデータ)DV1が出力されるデータ線(DATA0~DATA4)に1つずつ接続されている。また上記Dフリップフロップ80a-1, 80a-2, . . . は全体として従来のシフトレジスタクロックCP1の5発毎に1回出力されるシフトレジスタクロックCP1Aによって1ビットの入力データ(アドレスデータ)A・DATAを順次シフトするシフトレジスタ回路を構成し、このシフトレジスタ回路の各Dフリップフロップ80a-1, 80a-2, . . . のデータ出力が夫々該Dフリップフロップに対応する5つのラッチ回路(80b-1~80b-5), (80b-6~80b-10), . . . の共通のラッチ指令となるように構成されている。

【0071】このようにしてSEGラッチ回路80を構成する上記5つずつのラッチ回路(80b-1~80b-5), (80b-6~80b-10), . . . はクロ

ックCP1Aに同期し、さらに詳しくは図3-3のタイムチャートに示すようにDフリップフロップ80a-1, 80a-2, . . . によってシフト出力される1ビットのアドレスデータA・DATAの立下がり時点ごとに、夫々その時点のデータ線(DATA0~DATA4)上の5ビットのビットマップデータDV1をラッチする。

【0072】このようにしてSEGラッチ回路80を構成する80個のラッチ回路80b-1, 80b-2, . . . が全てデータをラッチした時点でラッチクロックCP2が出力され、このラッチクロックCP2を共通に入力するデータラッチ回路9の全ラッチ回路9-1, 9-2, . . . が一齊に夫々前段のラッチ回路80b-1, 80b-2, . . . のラッチデータを保持し、この各保持データに対応するセグメント駆動信号が、夫々対応するレベルシフタ回路101-1, 101-2, . . . および出力レベル選択回路102-1, 102-2, . . . を介して全セグメント線SEG1, SEG2, . . . に出力されることになる。

【0073】(実施の形態2)図5は請求項2に関わる発明(以下第2発明という)の一実施例としてのLCDコントローラ・ドライバIC02の内部構成を示すブロック図である。同図においては図1に対しタイミング発生回路、レジスタ、インストラクションデコーダ、表示メモリ、ROMが夫々30B, 32A, 33A, 6B, 7Bに置き換わり、アドレスデコーダ34Aが削除されると共に、各機能別ブロック回路に共通のコントロールバス37が新設されている。

【0074】このコントロールバス37は、図2に示したコントロール信号のようにレジスタ32A、インストラクションデコーダ33A、表示メモリ6B、ROM7B等の各機能別ブロック回路の起動のタイミングや作動期間を指定するコントロール信号を生成するための共通の信号を、この各機能別ブロック回路に供給する役割を持ち、この例では5本の信号線で構成されている。そしてこの共通コントロールバス37の5つの信号はタイミング発生回路30Bで生成されてコントロールバス37へ出力され、このバス37を介して上記の各機能別ブロック回路に供給されている。なお、本例ではタイミング発生回路30BはSEGドライバ回路2へは図1と同様にクロックCP1A、CP2及び交流化信号Mを与え、COMドライバ回路3へはクロックCP2及び交流化信号Mを与えるものとする。

【0075】上記の各機能別ブロック回路は夫々内部に、入力したコントロールバス37の信号をデコードして自身を制御するコントロール信号を生成するためのデコード回路を内蔵している。このようなコントロールバス37を設ける理由は、従来のようにタイミング発生回路から直接、各機能別ブロック回路へコントロール信号を供給する構成では、タイミング発生回路から出る信号

線を減らすことができないためである。

【0076】図6は図5におけるコントロールバス37の信号の構成の実施例と、この信号のデコード回路の概念を示す。図6において、コントロールバス37の信号は上から順にシステムクロックCPS、同クロックCPSの1/2分周信号としてのCPS/2、同信号CPS/2の1/2分周信号としてのCPS/4、同信号CPS/2の1/2分周信号としてのCPS/8、そしてシステムクロックCPSの80発毎に1回出力される信号としてのラッチクロックCP2からなる。

【0077】また、これらの信号の上方の点線の四角のブロックは前記機能別ブロック回路を意味し、この点線ブロックの内部のANDゲートAG1, AG2...は夫々その機能別ブロック回路内に設けられて、共通コントロールバス37の各信号を入力しデコードする上記デコード回路を意味し、このANDゲートの出力は当該機能別ブロック回路に対する前述したコントロール信号を意味している。

【0078】なお、この例では分周信号CPS/8はMPUの書込みモード時以外はタイミング発生回路30Bによって無効化され、このときはレジスタ32A、インストラクションデコーダ33Aの動作及び表示メモリ6Bのデータ書込み動作は起動されず、LCDパネルの常時表示動作に関わる機能別ブロック回路の動作のみが起動される。

【0079】なお、図5において共通データバス36の構成の図1と異なるところは、レジスタ32とインストラクションデコーダの間の8ビットデータバスが無くなり、これに代わりインストラクションデコーダ33Aが双方向の8ビットデータバスを介して共通データバス36に接続されている点と、タイミング発生回路30Aが同じく双方向の8ビットデータバスを介して共通データバス36に接続されている点である。

【0080】これは表示メモリ6Bを読み書きする際に表示メモリ6Bに与えるアドレスをタイミング発生回路30Bがデータバス36を介して与えるようにしたためである。また本例では4ビットのコモン位置指定アドレスを出力する図1のアドレスデコーダ34Aに相当する機能をタイミング発生回路30Bが持つ。そしてこの機能等を起動するコントロール信号を自身内に生成するためにタイミング発生回路30B内にもコントロールバス37の信号をデコードする回路が設けられている。

【0081】図7は図5の要部動作説明用のタイムチャートである。図7において、1)は共通データバス36上のデータ、2)はタイミング発生回路30Bにおいて生成され、コントロールバス37に出力されるシステムクロックCPSを夫々示す。但し、本例ではシステムクロックCPSの8クロックを1マシンサイクルとして動作する。つまりこの液晶表示制御駆動回路は8ステート1マシンサイクルの装置である。

【0082】次に3)はレジスタ32Aがコントロールバス37の信号をデコードして自身内で生成する図2の同符号の信号と同等のコントロール信号で、レジスタ32A自身が外部のMPUから送られたデータ（プログラム命令）を取込むタイミングと、そのデータを保持しデータバス（但しこの場合はデータバス36のみ）に送出する期間を定めるコントロール信号T32aを示す。

【0083】4)はインストラクションデコーダ33A又は表示メモリ6Bが夫々コントロールバス37の信号をデコードして自身内で生成する、図2の同符号の信号と同等のコントロール信号で、インストラクションデコーダ33A自身がデータバス36上のレジスタ32Aからのデータを読み込みデコードするタイミングを定めるコントロール信号T33、又は表示メモリ6B自身がデータバス36上のレジスタ32Aからのデータを取込むタイミングを定めるコントロール信号T61を示す。

【0084】5)はインストラクションデコーダ33Aがコントロールバス37の信号をデコードして自身内で生成するコントロール信号で、インストラクションデコーダ33A自身がタイミング発生回路30Bに向けデータバス36上へ、MPU命令コードのデコード結果のデータを送出するタイミングと期間を定めるコントロール信号T33aを示す。

【0085】6)はタイミング発生回路30Bがコントロールバス37に出力する信号をデコードして自身内で生成するコントロール信号で、タイミング発生回路30B自身がデータバス36上のデータ（MPU命令コードのデコード結果）を取り込むタイミングを定めるコントロール信号T30を示す。7)は同じくタイミング発生回路30Bがコントロールバス37に出力する信号をデコードして自身内で生成するコントロール信号で、タイミング発生回路30B自身が表示メモリ6Bに向けデータバス36上へ、次マシンサイクルで表示メモリ6Bが文字コードデータを取り込む書込み先アドレスのデータを送出するタイミングと期間を定めるコントロール信号T30aを示す。

【0086】8)は表示メモリ6Bがコントロールバス37の信号をデコードして自身内で生成するコントロール信号で、表示メモリ6B自身がデータバス36上のデータ（上記書込み先アドレス）を取り込むタイミングを定めるコントロール信号T63を示す。9)はタイミング発生回路30Bがコントロールバス37に出力する信号をデコードして自身内で生成するコントロール信号で、タイミング発生回路30B自身が表示メモリ6Bに向けデータバス36上へ、表示メモリ6Bが8ビットの文字コードデータを読み出す読出し先アドレスのデータを送出するタイミングと期間を定めるコントロール信号T30bを示す。

【0087】10)は表示メモリ6Bがコントロールバス37の信号をデコードして自身内で生成するコントロ

ール信号で、表示メモリ6B自身がデータバス36上のデータ（文字コードデータの上記読出し先アドレス）を取り込むタイミングを定めるコントロール信号T64を示す。11)は表示メモリ6Bがコントロールバス37の信号をデコードして自身内で生成する、図2の同符号の信号と同等のコントロール信号で、表示メモリ6B自身がROM7Bに向かデータバス36上へ8ビット文字コードデータを送出するタイミングと期間を定めるコントロール信号T62aを示す。

【0088】12)はROM7Bがコントロールバス37の信号をデコードして自身内で生成する、図2の同符号の信号と同等のコントロール信号で、ROM7B自身がデータバス36上のデータ（表示メモリ6Bからの文字コードデータとしての8ビットアドレスデータ）を読み込むタイミングを定めるコントロール信号T71を示す。

【0089】13)はタイミング発生回路30Bがコントロールバス37に出力する信号をデコードして自身内で生成する、図2のコントロール信号T34aに対応するコントロール信号で、タイミング発生回路30B自身がROM7B宛にデータバス36へ4ビットのコモン位置指定アドレスデータを送出するタイミングと期間を定めるコントロール信号T30cを示す。

【0090】14)はROM7Bがコントロールバス37の信号をデコードして自身内で生成する、図2の同符号の信号と同等のコントロール信号で、ROM7B自身がデータバス36上の4ビットのコモン位置指定アドレスデータを読み込むタイミングを定めるコントロール信号T72を示す。15)はROM7Bがコントロールバス37の信号をデコードして自身内で生成する、図2の同符号の信号と同等のコントロール信号で、ROM7B自身がSEGドライバ回路2に向かデータバス36上へ5ビットのビットマップデータDV1を送出するタイミングと期間を定めるコントロール信号T70aを示す。

【0091】なお、図7のコントロール信号T32a、T33、T61、T33a、T30、T30a、T63(つまりシステムクロックCPSの1クロック目から4クロック目までに生成されるコントロール信号)は外部MPUによるこのICO2への書き込みモード時にのみ生成され、図7のこのコントロール信号を除くコントロール信号はLCDパネルの常時の表示動作のために常時生成される。

【0092】次に図7を参照しつつ図5の動作を説明する。但し図2と同等のコントロール信号に関わる動作は、図5では機能別ブロック回路に対するコントロール信号が外部から与えられる代わりに当該機能別ブロック回路内で生成されることと、マシンサイクルがシステムクロック5クロックの代わりに8クロックに変わったことの相違があるだけであるため、その説明を省略し、新たなコントロール信号に関わる動作を主に説明する。

【0093】システムクロックCPSの3クロック目の立上がりにおいては、コントロール信号T33aに同期して、この信号T33aの“H”の期間、インストラクションデコーダ33Aは、2クロック目の立下がりを契機に読み込んでデコードした外部MPUからの命令コードの解読結果をタイミング発生回路30Bに向けデータバス36上へ送出する。

【0094】これにより、システムクロックCPSの3クロック目の立下がりにおいてタイミング発生回路30Bは、コントロール信号T30に同期してデータバス36上の上記命令コードの解読結果を取り込む。次にシステムクロックCPSの4クロック目の立上がりにおいてタイミング発生回路30Bは、コントロール信号T30aに同期してこの信号T30aの“H”の期間、命令コードの解読結果から得たアドレスで、次のマシンサイクルで表示メモリ6Bが外部MPU側から受け取るプログラム命令内の表示データとしての文字コードの書き込み先のアドレスを、表示メモリ6Bに向けデータバス36上へ送出する。

【0095】そこで、システムクロックCPSの4クロック目の立下がりにおいて表示メモリ6Bはコントロール信号T63に同期して、データバス36上の上記の文字コード書き込み先のアドレスを取り込む。これにより次のマシンサイクルでは、コントロール信号T32aに従い、システムクロックCPSの1クロック目の立上がりから3クロック目の立上がりまでレジスタ32Aによって外部MPU側から取り込まれて共通データバス36上に保持出力され、且つ2クロック目の立下がり時点にコントロール信号T61に同期し表示メモリ6Bに読み込まれる文字コードは、前マシンサイクルで表示メモリ6Bに取り込まれた上記の文字コード書き込み先アドレスに格納されることになる。

【0096】システムクロックCPSの5クロック目の立上がりにおいてタイミング発生回路30Bは、コントロール信号T30bに同期し、この信号T30bの“H”の期間、表示メモリ6Bが自身から8ビット文字コード(ROM7B向けのアドレス)を読み出すときの読み出し先のアドレスを、表示メモリ6Bに向けデータバス36上へ送出する。

【0097】これにより、システムクロックCPSの5クロック目の立下がりにおいて表示メモリ6Bは、コントロール信号T64に同期してデータバス36上に送出されている、表示メモリ6B内の上記文字コード読み出し先のアドレスを取り込む。そこで、次のシステムクロックCPSの6クロック目の立上がりにおいて表示メモリ6Bは、コントロール信号T62aに同期し、この信号T62aの“H”の期間、上記の取り込んだ読み出し先アドレスの8ビット文字コードデータを読み出し、ROM7Bに向かデータバス36上へ送出することになる。

【0098】なお、システムクロックCPSの7クロック

ク目の立上がりにおいてはタイミング発生回路30Bが、コントロール信号T30cに同期し、この信号T30cの“H”の期間、図1のアドレスデコーダ34Aに代わる形で、4ビットのコモン位置指定アドレスをROM7Bに向けデータバス36上へ送出する。

【0099】

【発明の効果】第1発明によれば、レジスタ32、表示メモリ6A、アドレスデコーダ34A、ROM7A、SEGラッチ回路80等の機能別ブロック回路相互間のデータのやり取りを、共通のデータバス36を介し、マシンサイクルの中でシステムクロックに同期して時分割で行うようにしたので、LCDコントローラ・ドライバICの回路全体の面積を小さくするために、上記の各機能別ブロック回路をIC内部にどのように配置しても、データバスの配線は従来のようにデータを授受する機能別ブロック回路間分設ける必要はなく、実施例の場合、従来40本ほどあったバスが共通の8本で済み、ICの配線領域の面積増加を防ぐことができる。

【0100】また、SEGドライバ回路へは従来は表示データを1ビットずつ転送していたが、本発明では複数ビット（実施例では5ビット）ずつ転送することができるので、SEGドライバ回路部分のデータ転送速度を従来より（実施例では従来の1/5に）下げることができ、消費電流も低減することができる。また、第2発明によれば、レジスタ32A、インストラクションデコーダ33A、表示メモリ6B、ROM7B、SEGラッチ回路80等の各機能別ブロック回路の起動や作動期間を定めるコントロール信号を、各機能別ブロック回路が内蔵するデコード回路を介し共通のコントロールバス37の信号を解読して自身内で生成するようにしたので、従来のようにタイミング発生回路30から各機能別ブロック回路へ個別にコントロール信号を供給する場合に比べ、コントロール信号線の総数を減らすことができ、LCDコントローラ・ドライバIC全体の回路の面積を小さくするために、上記の各機能別ブロック回路をIC内部にどのように配置しても、コントロール信号の配線領域の面積増加を防ぐことができる。さらに第2発明を第1発明と共に実施すれば、よりこの効果を高めることができ、実施例の場合、従来60本ほどあつたバスが、共通のデータバス8本と共通のコントロールバス5本との13本で済み、配線領域によるIC面積の増加を充分防ぐことができる。

【0101】このように本発明によれば、液晶表示制御駆動回路のレイアウト設計において、配線面積を抑えることで液晶表示制御駆動回路の大きさを小さくすることができ、さらにバスを共通化することで液晶表示制御駆動回路の設計効率も高めることができる。

【図面の簡単な説明】

【図1】第1発明の一実施例としてのLCDコントローラ・ドライバICの内部構成を示すブロック図

【図2】図1の要部動作説明用のタイムチャート

【図3】図1におけるセグメントドライバ回路の構成の実施例を示す図

【図4】図3の要部動作説明用のタイムチャート

【図5】第2発明の一実施例としてのLCDコントローラ・ドライバICの内部構成を示すブロック図

【図6】図5におけるコントロールバスの信号の構成の実施例と、この信号のデコード回路の概念を示す図

【図7】図5の要部動作説明用のタイムチャート

【図8】従来のLCDコントローラ・ドライバICの内部の構成例を示すブロック図

【図9】図8の要部動作説明用のタイムチャート

【図10】ドットマトリクス型の液晶パネル（LCDパネル）を含む液晶表示制御駆動回路の概念図

【図11】図10の文字フォント表示マトリクスの構成を示す図

【図12】従来のLCDコントローラ・ドライバICのLCDパネル駆動部分の構成例を示す図

【図13】図12のセグメントドライバ回路の構成例を示す図

【図14】図12のコモンドライバ回路の構成例を示す図

【図15】図12の液晶パネル駆動信号の波形の例を示す図

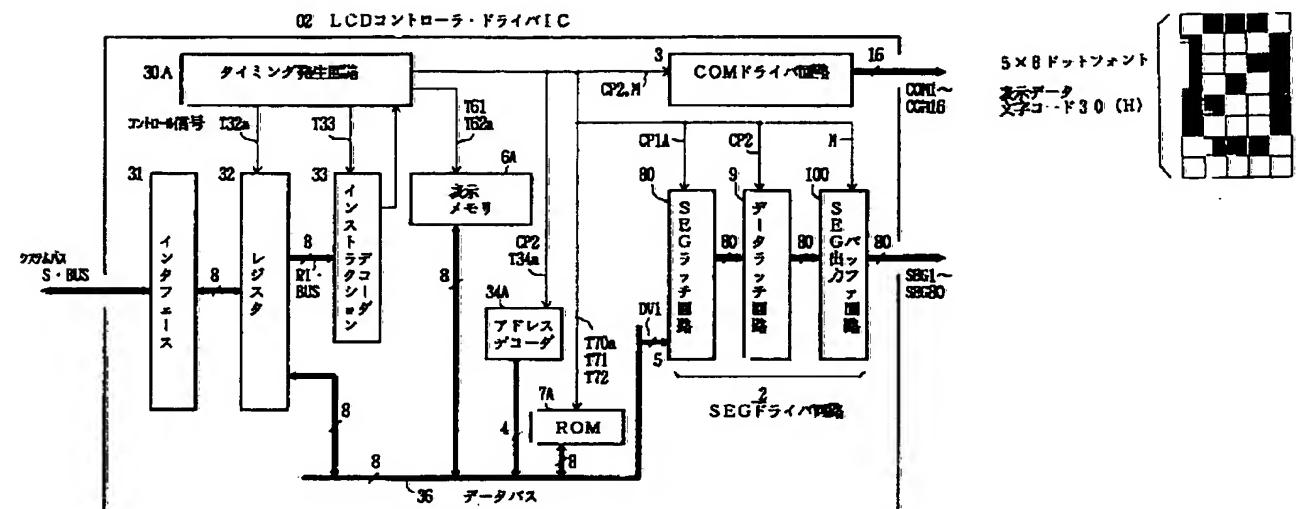
【符号の説明】

- 01 液晶パネル（LCDパネル）
- 02 LCDコントローラ・ドライバIC
- 03 コントロール信号
- 04 データ信号
- 2 セグメントドライバ回路（SEGドライバ回路）
- 3 コモンドライバ回路（COMドライバ回路）
- 6A, 6B 表示メモリ
- 7A, 7B ROM
- 9 データラッチ回路
- 30A, 30B タイミング発生回路
- 31 インタフェース
- 32, 32A レジスタ
- 33, 33A インストラクションデコーダ
- 34A, 34B アドレスデコーダ
- 36 データバス
- 37 コントロールバス
- 80 セグメントラッチ回路（SEGラッチ回路）
- 100 セグメント出力バッファ回路（SEG出力バッファ回路）
- S・BUS システムバス
- SEG1～SEG80 セグメント線
- COM1～COM16 コモン線
- TH 水平走査周期
- DV1 5ビットのビットマップデータ
- DH コモンライン表示データ

A · DATA アドレスデータ
 M 交流化信号
 CPS システムクロック
 CPS/2, CPS/4, CPS/8 システムクロックの分周信号
 CP1A シフトレジスタクロック
 CP2 ラッチクロック
 AG1, AG2, ... ANDゲート
 T30, T30a, T30b, T30c 対タイミン

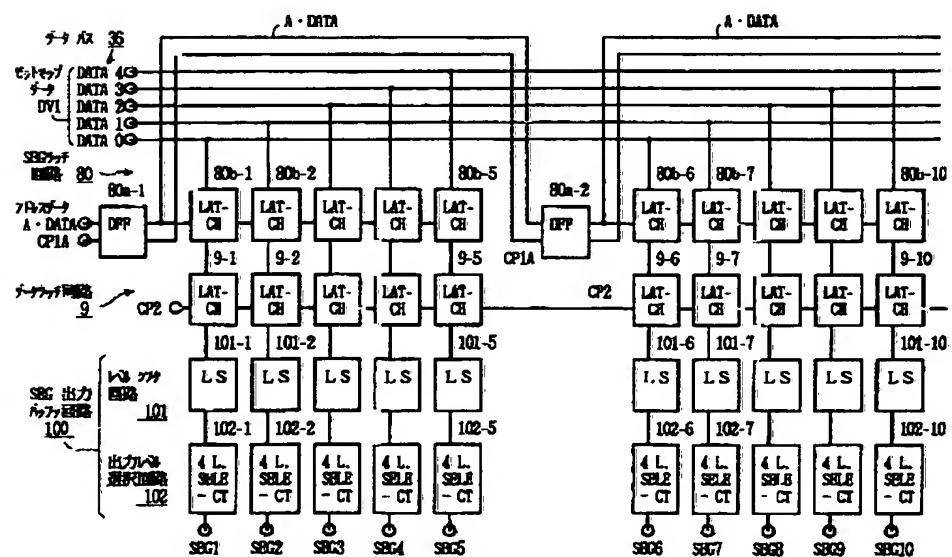
グ発生回路コントロール信号
 T32a 対レジスタコントロール信号
 T33, T33a 対インストラクションデコーダコントロール信号
 T34a 対アドレスデコーダコントロール信号
 T61, T62a, T63, T64 対表示メモリコントロール信号
 T70a, T71, T72 対ROMコントロール信号

【図1】

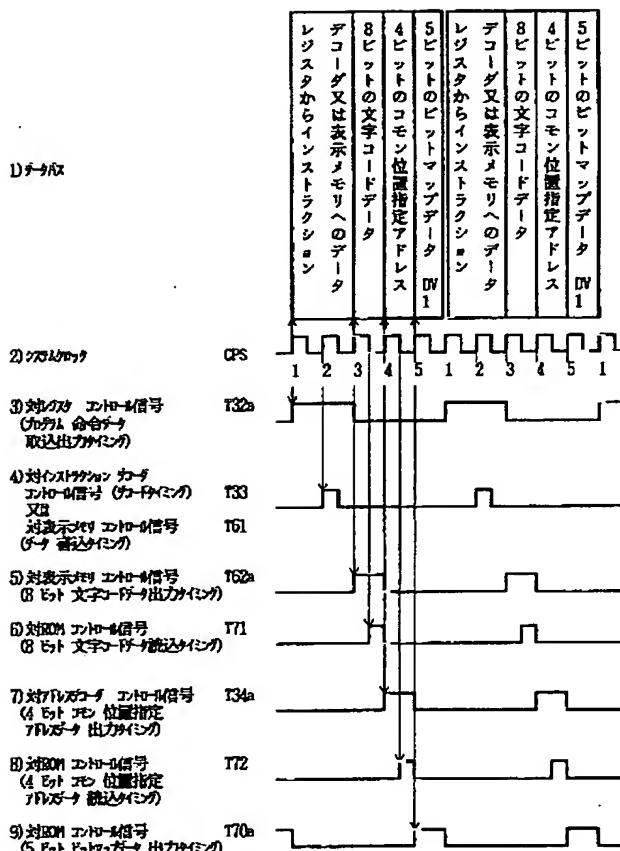


【図11】

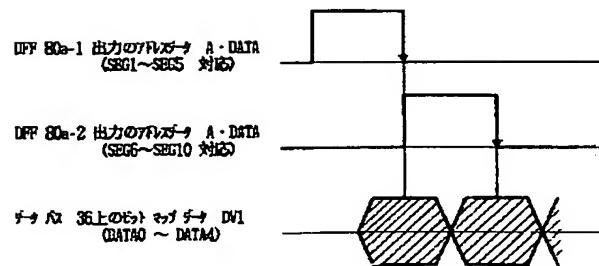
【図3】



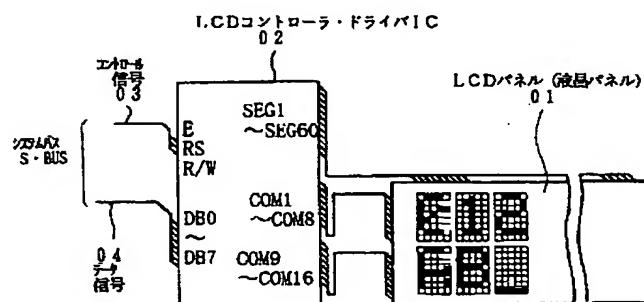
【図2】



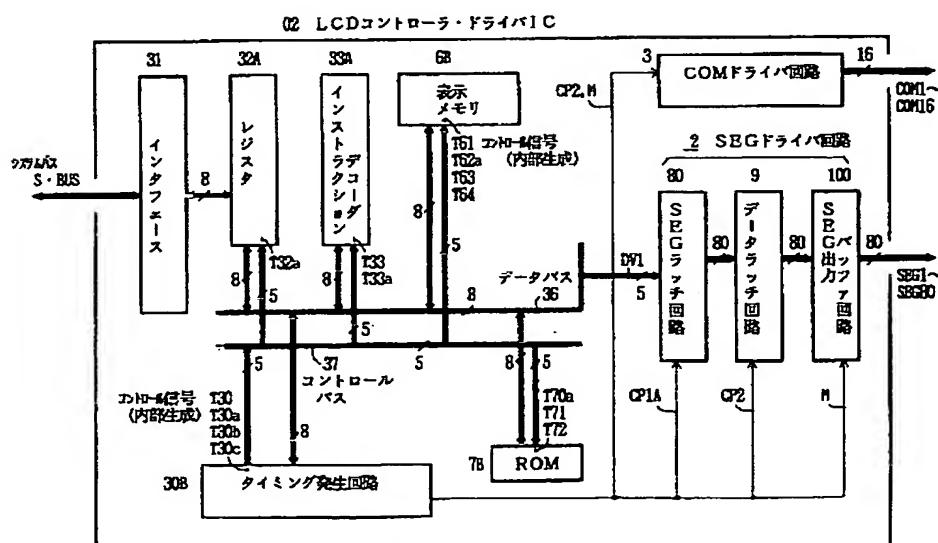
【図4】



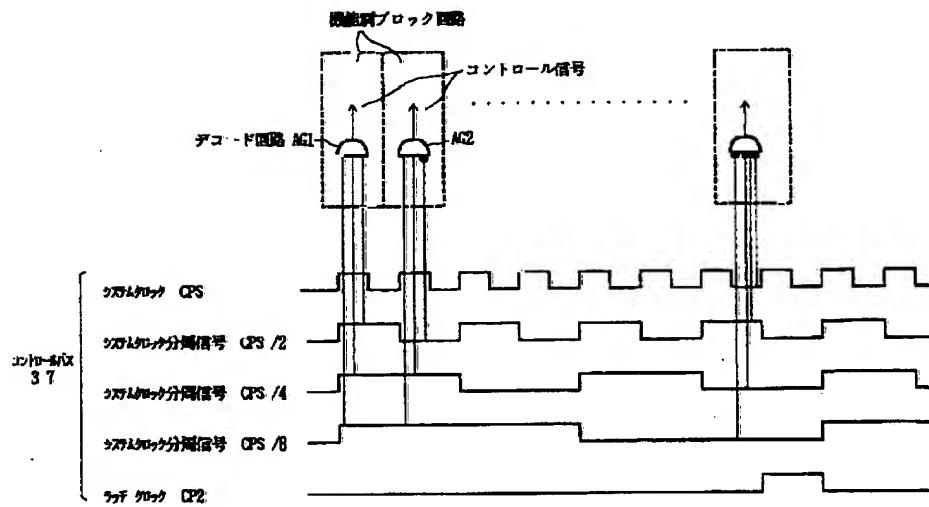
〔図10〕



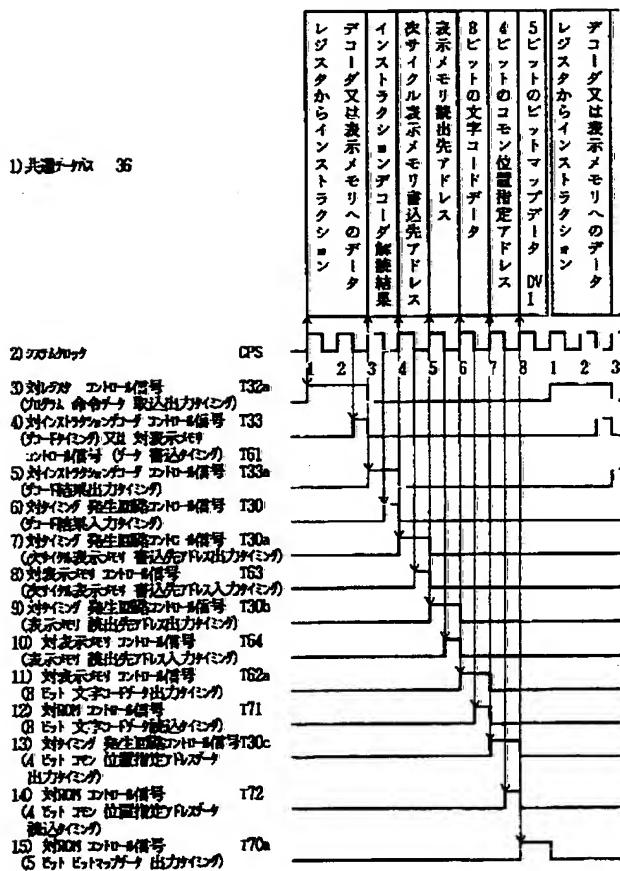
〔四五〕



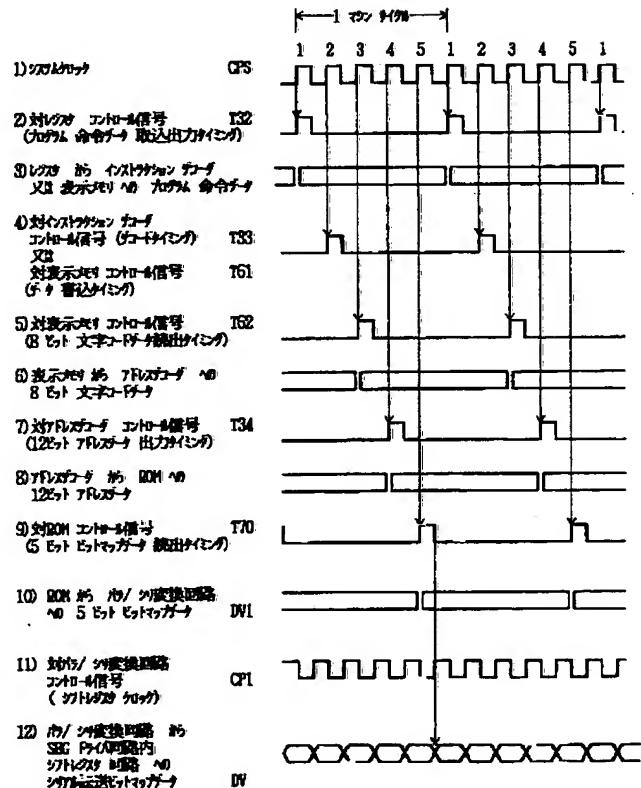
【図6】



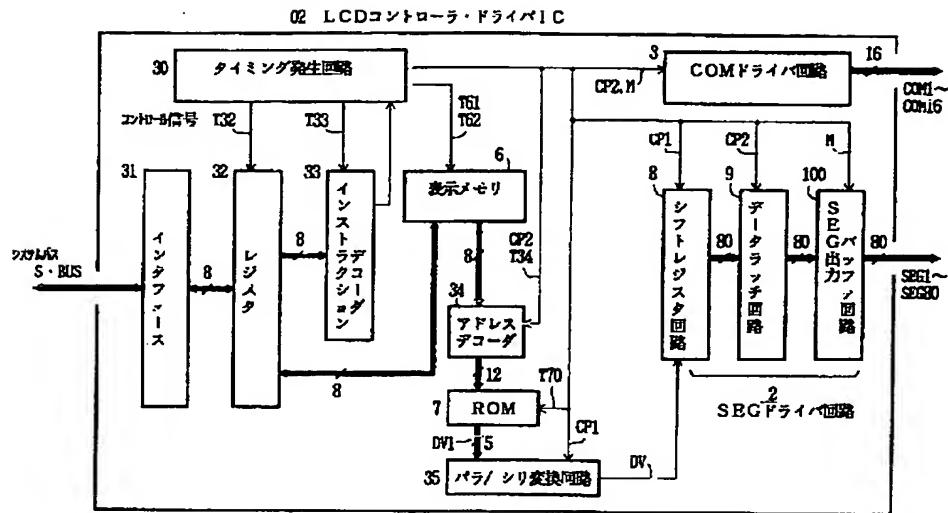
【図7】



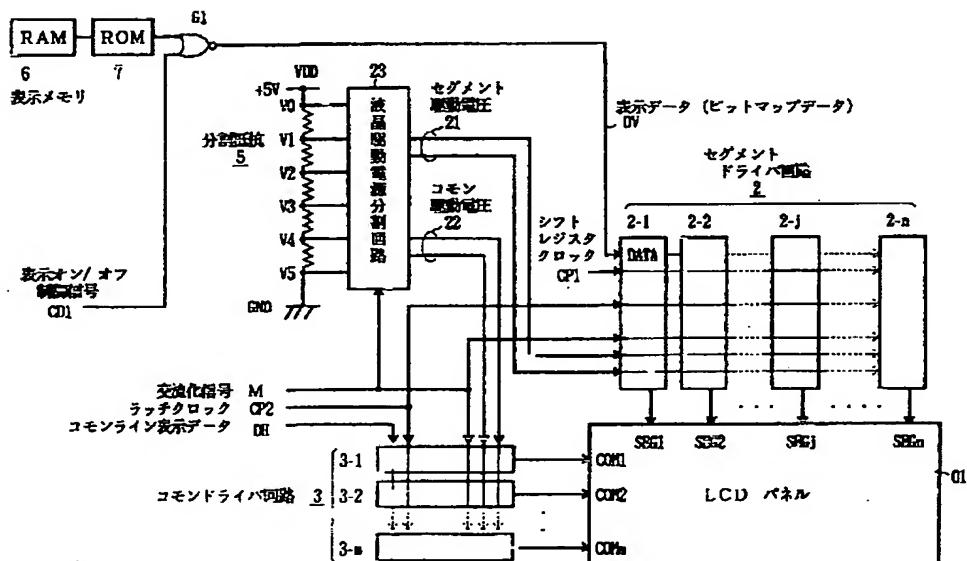
【図9】



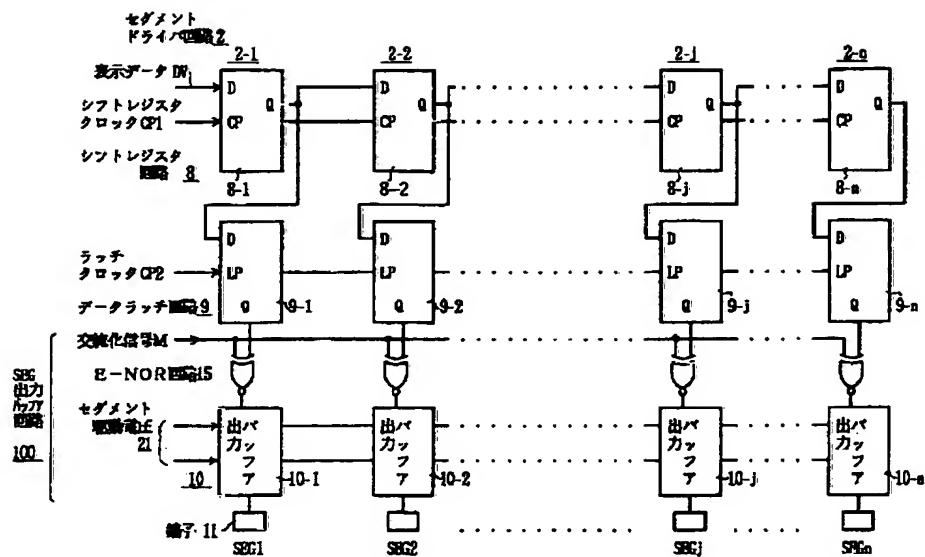
[図8]



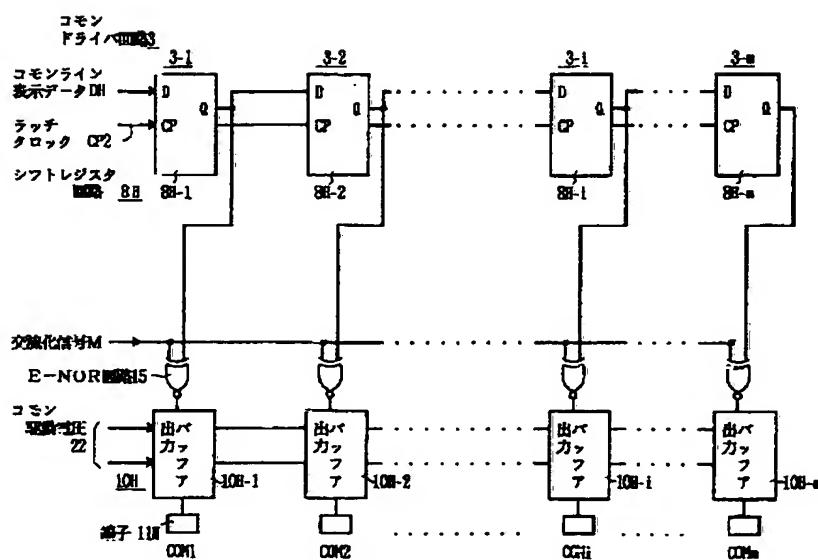
【图12】



【図13】



【図14】



【図15】

